

日本国特許庁
JAPAN PATENT OFFICE

Jc973 U.S. PTO
10/054972
01/25/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年10月11日

出願番号
Application Number:

特願2001-314159

出願人
Applicant(s):

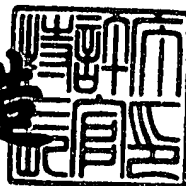
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年11月26日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3102241

【書類名】 特許願

【整理番号】 0140795

【提出日】 平成13年10月11日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H03K 19/00
G06F 3/00

【発明の名称】 レシーバ回路

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 土肥 義康

【発明者】

【住所又は居所】 神奈川県川崎市幸区堀川町66番2 富士通エルエスアイソリューション株式会社内

【氏名】 松原 聡

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 田村 泰孝

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100077517

【弁理士】

【氏名又は名称】 石田 敬

【電話番号】 03-5470-1900

【選任した代理人】

【識別番号】 100092624

【弁理士】

【氏名又は名称】 鶴田 準一

【選任した代理人】

【識別番号】 100100871

【弁理士】

【氏名又は名称】 土屋 繁

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【先の出願に基づく優先権主張】

【出願番号】 特願2001-220024

【出願日】 平成13年 7月19日

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9905449

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 レシーバ回路

【特許請求の範囲】

【請求項 1】 入力信号をサンプリングするサンプリング回路と、
該サンプリング回路の出力をバッファするバッファ回路と、
該バッファ回路の出力の判定を行う判定回路と、
前記サンプリングを行うタイミングまで、前記バッファ回路の出力の入力信号
依存性を小さくしておくバッファ制御回路とを備えることを特徴とするレシーバ
回路。

【請求項 2】 入力信号をサンプリングするサンプリング回路と、
該サンプリング回路の出力をバッファするバッファ回路と、
該バッファ回路の出力の判定を行う判定回路と、
前記サンプリングを行うタイミングまで、前記バッファ回路の出力を略一定値
とするバッファ制御回路とを備えることを特徴とするレシーバ回路。

【請求項 3】 請求項 1 または 2 に記載のレシーバ回路において、さらに、
前記サンプリング回路が入力信号のサンプリングを行う前に、前記判定回路の入
力をプリチャージするプリチャージ回路を備えることを特徴とするレシーバ回路
。

【請求項 4】 請求項 1 または 2 に記載のレシーバ回路において、前記サン
プリング回路は、一連のビット列をサンプルする複数のサンプルスイッチを備え
、且つ、前記バッファ回路は、該各サンプルスイッチに対応して複数設けられて
いることを特徴とするレシーバ回路。

【請求項 5】 請求項 1 または 2 に記載のレシーバ回路において、前記バッ
ファ回路は、複数のバッファ回路ユニットを備え、該各バッファ回路ユニットの
出力の大きさを調整することで信号伝送路の特性を補償するようにしたことを特
徴とするレシーバ回路。

【請求項 6】 請求項 1 または 2 に記載のレシーバ回路において、前記バッ
ファ回路は、前記サンプリング回路が入力信号のサンプリングを行う前に当該バ
ッファ回路に微小電流を流しておく微小電流回路を備えることを特徴とするレシ

ーバ回路。

【請求項 7】 入力信号をサンプリングするサンプリング回路と、

該サンプリング回路の出力の判定を行う判定回路と、

前記サンプリング回路の入力から出力までのトランスコンダクタンスを動的に変化させて、該サンプリング回路の出力の入力信号依存性をサンプリング時点以外は十分小さくするサンプリング制御回路とを備えることを特徴とするレシーバ回路。

【請求項 8】 請求項 7 に記載のレシーバ回路において、前記サンプリング制御回路は、前記サンプリング回路の入力から出力までのトランスコンダクタンスの変化をスイッチングにより行うことを特徴とするレシーバ回路。

【請求項 9】 請求項 8 に記載のレシーバ回路において、前記トランスコンダクタンスのスイッチングは、差動対トランジスタのテイル電流のスイッチングにより行うことを特徴とするレシーバ回路。

【請求項 10】 請求項 9 に記載のレシーバ回路において、前記テイル電流のスイッチングは、電流路を、該当するトランスコンダクタのテイル電流側の経路とそれ以外の経路との間で切り替える電流切り替えにより行うことを特徴とするレシーバ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の L S I チップ間や 1 つのチップ内における複数の素子や回路ブロック間の信号伝送、或いは、複数のボード間や複数の匡体間の信号伝送を高速に行うための技術に関し、特に、高速の信号伝送に用いるレシーバ回路に関する。

【0002】

近年、コンピュータやその他の情報処理機器を構成する部品の性能は大きく向上しており、例えば、S R A M (Static Random Access Memory) や D R A M (Dynamic Random Access Memory) 等の半導体記憶装置やプロセッサ等の性能向上は目を見張るものがある。そして、この半導体記憶装置やプロセッサ等の性能向

上に伴って、各部品或いは要素間の信号伝送速度を向上させなければ、システムの性能を向上させることができないという事態になって来ている。

【 0 0 0 3 】

具体的に、例えば、D R A M等の主記憶装置とプロセッサとの間（L S I間）の信号伝送速度がコンピュータ全体の性能向上の妨げになりつつある。さらに、サーバと主記憶装置或いはネットワークを介したサーバ間といった匡体やボード（プリント配線基板）間の信号伝送だけでなく、半導体チップの高集積化並びに大型化、および、電源電圧の低電圧化（信号振幅の低レベル化）等により、チップ間の信号伝送やチップ内における素子や回路ブロック間での信号伝送においても信号伝送速度の向上が必要になって来ている。

【 0 0 0 4 】

そこで、高速の信号伝送を実現するために、符号間干渉を取り除き、より正確なデータの判定を行うことができるレシーバ回路の提供が要望されている。

【 0 0 0 5 】

【従来の技術】

近年、L S Iやボード間、或いは、匡体間のデータ伝送量の増加に対応するために、1ピン当たりの信号伝送速度を増大させる必要がある。これは、ピン数を増やすことによるパッケージ等のコストの増大を避けるためでもある。その結果、最近では、L S I間の信号伝送速度が1 G b p sを超え、将来（3年から8年程度先）には、4 G b p s或いは1 0 G b p sといった極めて高い値（高速の信号伝送）になることが予想されている。

【 0 0 0 6 】

このように高い信号周波数は、例えば、L S I内部よりも高い周波数であるため信号の受信回路には高速動作が可能なレシーバ回路が必要になる。一般に、レシーバ回路は、入力線に直列に設けられたスイッチおよびバッファ回路で構成され、スイッチが切れるタイミングにおける信号の値がサンプルされてバッファ回路の出力となり、このバッファ回路の出力をラッチすることで信号の値を判定するようになっている。

【 0 0 0 7 】

図 1 は信号伝送システムの全体構成を模式的に示すブロック図である。図 1 において、参照符号 1 はドライバ回路（送信回路）、2 は伝送線路（信号伝送路）、3 はレシーバ回路（受信回路）を示している。ここで、送信側のドライバ回路 1 および受信側のレシーバ回路 3 は、例えば、それぞれ異なる L S I や匡体に設けられるが、さらに、1 つの L S I における異なる回路ブロックに設けられることもある。

【 0 0 0 8 】

図 2 は図 1 におけるレシーバ回路 3 の一例を示すブロック図である。

【 0 0 0 9 】

図 2 に示されるように、レシーバ回路 3 は、例えば、ドライバ回路 1 から伝送線路 2 を介して送られる 1 0 G b p s の高速のデータ（相補データ、差動データ）DATA, DATA X を、インターリーブにより 2. 5 G H z のクロック信号で動作する 4 つのレシーバユニット 3 1 ~ 3 4 で受信（判定）するように構成されている。すなわち、1 0 G b p s の入力データ DATA, DATA X は、4 交代で動作する 4 つのレシーバユニット 3 1 ~ 3 4 により、4 ビットで 2. 5 G b p s のデータとして受信される。

【 0 0 1 0 】

図 3 は従来のレシーバ回路におけるレシーバユニットの一例を示すブロック回路図であり、図 2 に示すレシーバ回路 3 におけるレシーバユニット 3 1 の従来の一構成例を示すものである。

【 0 0 1 1 】

図 3 に示されるように、レシーバユニット 3 1 （レシーバユニット 3 2 ~ 3 4 も同様）は、サンプルスイッチ 3 1 1, 3 1 2、バッファ回路 3 2 0、判定回路 3 3 0、および、電流源 3 4 0 を備えて構成されている。各サンプルスイッチ 3 1 1, 3 1 2 は、クロック信号 c l k ($\phi 1$), c l k x ($\phi 3$) により制御されるトランスファゲートとして構成され、例えば、2. 5 G H z のクロック信号 c l k の立ち上がりタイミング（クロック信号 c l k x の立ち下がりタイミング）で入力信号（DATA, DATA X）をバッファ回路 3 2 0 に取り込むようになっている。ここで、クロック信号 $\phi 3$ は、四相クロック信号 $\phi 0 \sim \phi 3$ の内の

1つで、 $\phi 3 = \neg \phi 1$ となっている。なお、信号 $\neg \phi 1$ は、信号 $\phi 1$ の相補（反転レベル）の信号を示している。

【0012】

バッファ回路320は、負荷321、322および差動入力用のnチャネル型MOSトランジスタ（nMOSトランジスタ）323、324を備えた差動増幅器として構成され、トランジスタ323、324のソースは、共通接続されると共に電流源340を介して低電位の電源線VSSに接続されている。さらに、バッファ回路320の出力は、トランジスタ323、324と負荷321、322との各接続ノードから取り出されて判定回路330に供給され、また、負荷321、322の各他方の端子は、高電位の電源線VDDに接続されている。判定回路330は、バッファ回路320の差動出力を比較判定してデータdata0を出力する。

【0013】

【発明が解決しようとする課題】

図4は従来のレシーバ回路における課題を説明するための図であり、図4（a）は送信信号の波形を示し、図4（b）は受信信号の波形を示し、そして、図4（c）は判定信号の波形を示している。

【0014】

図4（a）と図4（b）との比較から明らかなように、送信側のドライバ回路1の出力である送信信号は、伝送線路2を介して受信側のレシーバ回路3に受信（入力）信号（DATA, DATA_X）として供給されるが、この受信信号は、伝送線路2の伝送路特性等によりその波形が大きく鈍ったものになる。

【0015】

そして、この波形の鈍った受信信号が、上述したレシーバユニット31（レシーバ回路3）で受信および判定される。すなわち、サンプルスイッチ311、312をオンとして受信信号（DATA, DATA_X）をバッファ回路320に取り込み、そのバッファ回路320の出力を判定回路330で判定するようになっている。

【0016】

この従来のレシーバ回路において、サンプリングのタイミング以前の信号値（サンプルスイッチ 3 1 1, 3 1 2 をオンする前の受信信号）は、そのままバッファ回路 3 2 0 で増幅されて判定回路 3 3 0 の入力になっている。そのため、判定回路 3 3 0 の入力（判定信号）は、判定を行うタイミングよりも前の信号値に応じて電圧が大きく変動する。判定回路の入力ノードの電圧値の変化速度には限界があるため、従来のレシーバ回路 3 においては、この変動により符号間干渉（過去の信号の値が判定回路に悪影響を与える）が生じ、データの正確な受信（判定）の妨げとなっている。

【 0 0 1 7 】

本発明は、上述した従来のレシーバ回路が有する課題に鑑み、符号間干渉を取り除き、より正確なデータ判定を行うことのできるレシーバ回路の提供を目的とする。

【 0 0 1 8 】

【課題を解決するための手段】

本発明によれば、入力信号をサンプリングするサンプリング回路と、該サンプリング回路の出力をバッファするバッファ回路と、該バッファ回路の出力の判定を行う判定回路と、前記サンプリングを行うタイミングまで、前記バッファ回路の出力の入力信号依存性を小さくしておくバッファ制御回路とを備えることを特徴とするレシーバ回路が提供される。

【 0 0 1 9 】

また、本発明によれば、入力信号をサンプリングするサンプリング回路と、該サンプリング回路の出力をバッファするバッファ回路と、該バッファ回路の出力の判定を行う判定回路と、前記サンプリングを行うタイミングまで、前記バッファ回路の出力を略一定値とするバッファ制御回路とを備えることを特徴とするレシーバ回路が提供される。

【 0 0 2 0 】

さらに、本発明によれば、入力信号をサンプリングするサンプリング回路と、該サンプリング回路の出力の判定を行う判定回路と、前記サンプリング回路の入力から出力までのトランスコンダクタンスを動的に変化させて、該サンプリング

回路の出力の入力信号依存性をサンプリング時点以外は十分小さくするサンプリング制御回路とを備えることを特徴とするレシーバ回路が提供される。

【 0 0 2 1 】

図 5 は本発明に係るレシーバ回路の第 1 の形態における原理構成の一例を示すブロック回路図であり、前述した図 2 のレシーバ回路におけるレシーバユニットの一構成例を示すものである。

【 0 0 2 2 】

図 5 に示されるように、レシーバユニット 3 1 (レシーバユニット 3 2 ~ 3 4 も同様) は、サンプルスイッチ 4 1 1, 4 1 2、バッファ回路 4 2 0、判定回路 4 3 0、および、電流源 4 4 0 を備えて構成されている。各サンプルスイッチ 4 1 1, 4 1 2 は、クロック信号 $c1k$ ($\phi 1$), $c1kx$ ($\phi 3$) により制御されるトランスファゲートとして構成され、例えば、2.5GHz のクロック信号 $c1k$ の立ち上がりタイミング (クロック信号 $c1kx$ の立ち下がりタイミング) で入力信号 (DATA, DATA x) をバッファ回路 4 2 0 に取り込むようになっている。ここで、信号 DATA x は、信号 DATA の相補 (反転レベル) の信号を示し、また、クロック信号 $\phi 3$ は、四相クロック信号 $\phi 0 \sim \phi 3$ の内の 1 つで、 $\phi 3 = \neg \phi 1$ となっている。なお、信号 $\neg \phi 1$ は、信号 $\phi 1$ の相補の信号を示している。なお、本発明に係るレシーバ回路の第 1 の形態は、4 つのレシーバユニット (3 1) により構成されるものに限定されず、例えば、2 つまたは 8 つといった複数のレシーバユニットにより構成することもできる。

【 0 0 2 3 】

バッファ回路 4 2 0 は、能動負荷 (アクティブロード) 4 2 1, 4 2 2 および差動入力用の nMOS トランジスタ 4 2 3, 4 2 4 を備えた差動増幅器として構成され、トランジスタ 4 2 3, 4 2 4 のソースは、共通接続されると共に電流源 4 4 0 を介して低電位の電源線 VSS に接続されている。さらに、バッファ回路 4 2 0 の出力は、トランジスタ 4 2 3, 4 2 4 と負荷 4 2 1, 4 2 2 との各接続ノードから取り出されて判定回路 4 3 0 に供給され、また、負荷 4 2 1, 4 2 2 の各他方の端子は、高電位の電源線 VDD に接続されている。

【 0 0 2 4 】

電流源 4 4 0 は、クロック信号 clk_x ($\phi 3$) によりスイッチング制御（クロック信号 $\phi 3$ が高レベル『H』でスイッチオン）され、また、判定回路 4 3 0 は、クロック信号 $\phi 0$ により判定動作が制御（クロック信号 $\phi 0$ が高レベル『H』で判定）されるようになっている。なお、クロック信号 $\phi 0$ は、四相信号 $\phi 0 \sim \phi 3$ の内の 1 つで、クロック信号 $\phi 3$ (clk_x) と 90 度の位相差を有している。そして、判定回路 4 3 0 は、クロック信号 $\phi 0$ に従ってバッファ回路 4 2 0 の差動出力を比較判定してデータ $data_0$ を出力する。

【 0 0 2 5 】

図 6 は図 5 のレシーバ回路の動作を説明するための図であり、図 6 (a) は送信信号の波形を示し、図 6 (b) は受信信号の波形を示し、そして、図 6 (c) は判定信号の波形を示している。ここで、図 6 (a) および図 6 (b) に示す送信および受信波形は、前述した図 4 (a) および図 4 (b) と同様の波形となっている。

【 0 0 2 6 】

図 6 (c) と図 4 (c) との比較から明らかなように、本発明に係るレシーバ回路は、例えば、図 5 に示されるように、サンプルスイッチ 4 1 1, 4 1 2 がクロック信号 $\phi 1$ ($\phi 3$) により制御されると共に、電流源 4 4 0 がクロック信号 $\phi 3$ によりスイッチング制御され、さらに、判定回路 4 3 0 がクロック信号 $\phi 0$ により動作制御されるようになっているため、以前の信号による符号間干渉を取り除き、より正確なデータ判定が可能になる。

【 0 0 2 7 】

すなわち、本発明に係るレシーバ回路は、図 5 に示されるように、サンプリングスイッチ（サンプリング回路）4 1 1, 4 1 2 の後段にバッファ回路 4 2 0 が設けられ、このバッファ回路 4 2 0 および負荷デバイス（能動負荷）4 2 1, 4 2 2 の駆動のタイミングを制御するために、クロック信号 $\phi 3$ でスイッチング制御される電流源（電流源スイッチ）4 4 0 が配置されている。

【 0 0 2 8 】

まず、電流源スイッチ 4 4 0 は、サンプリングスイッチ 4 1 1, 4 1 2 がオン（クロック信号 $\phi 1$ が高レベル『H』、且つ、クロック信号 $\phi 3$ が低レベル『L』

』)の間はオフ状態となっており、バッファ回路420を活性化(駆動)させないので、このバッファ回路420の出力は入力信号DATA, DATA Xに依存することがない。従って、この期間には、バッファ回路420の出力の値は一定値になる。すなわち、バッファ回路420の出力(差動出力)は、両方とも能動負荷421, 422を介して高電位の電源電圧VDDとなっており、その電源電圧VDDのレベルが判定回路430の差動入力として与えられる。

【0029】

次に、サンプリング回路411, 412のスイッチがオフ(クロック信号 $\phi 1$ が高レベル『H』から低レベル『L』、且つ、クロック信号 $\phi 3$ が低レベル『L』から高レベル『H』)になると、電流源スイッチ440はオン状態となり、バッファ回路420は活性化して有効な信号を出力する。そして、バッファ回路420の後段に存在する判定回路430は、クロック信号 $\phi 0$ (クロック信号 $\phi 3$ と90度の位相差を有するクロック信号)によりバッファ回路420が信号を出力しているタイミングだけにおいて信号の判定を行う。

【0030】

すなわち、バッファ回路420の出力は、判定回路430が動作する判定タイミング以外では一定電圧(VDD)となっているので、高速信号受信における伝送路特性から発生する符号間干渉を除去することが可能になる。

【0031】

このように、本発明のレシーバ回路によれば、判定タイミング前の受信信号が判定回路に入力することが無いことから、伝送線路特性から生じる一連の受信信号系列の符号間干渉を無効にすることができ、これにより、信号判定回路はより精度の高い判定を行うことが可能になる。

【0032】

【発明の実施の形態】

以下、本発明に係るレシーバ回路の実施例を添付図面に従って詳述する。

【0033】

図7は本発明に係るレシーバ回路の第1実施例を示すブロック図であり、前述した図5に示すレシーバ回路を4組設け、インターリーブ動作を行わせるように

なっている。図 7 において、参照符号 5 1 0 ~ 5 1 3 はサンプルスイッチ（サンプリング回路ユニット）、5 2 0 ~ 5 2 3 はバッファ回路（バッファ回路ユニット）、そして、5 3 0 ~ 5 3 3 は判定回路（判定回路ユニット）を示している。

【 0 0 3 4 】

図 7 に示す第 1 実施例のレシーバ回路（レシーバ回路装置）は、例えば、1 0 G b p s の高速信号を受信する回路であり、2. 5 G H z の四相クロック信号で 4 - w a y のインターリーブ動作を行う回路として構成されている。本第 1 実施例のレシーバ回路は、サンプルスイッチ 5 1 0 ~ 5 1 3、バッファ回路 5 2 0 ~ 5 2 3、電流源スイッチ、および、判定回路 5 3 0 ~ 5 3 3 を備えて構成されている。なお、電流源スイッチは、各バッファ回路 5 2 0 ~ 5 2 3 にそれぞれ内蔵されている。

【 0 0 3 5 】

受信信号 INPUT は、サンプルスイッチ 5 1 0 ~ 5 1 3（サンプリング部）を介して入力され、例えば、互いに位相が 9 0 度だけ異なる四相クロック信号 $\phi 0 \sim \phi 3$ により制御されるようになっている。具体的に、例えば、サンプルスイッチ 5 1 1 は、クロック信号 $\phi 1$ の立ち下がりによりスイッチオフし、クロック信号 $\phi 3$ （クロック信号 $\phi 1$ の反転信号 E S）の立ち上がりにより電流源スイッチがオンすることでバッファ回路 5 2 1 が駆動状態になり、該バッファ回路 5 2 1 はその時点での電圧値を増幅して判定回路 5 3 1 に出力する。判定回路 5 3 1 は、バッファ回路 5 2 1 からの信号をクロック信号 $\phi 0$ （信号 E S'）の立ち上がりにより判定し、データ『0』または『1』の値として出力する。

【 0 0 3 6 】

さらに、例えば、サンプルスイッチ 5 1 2 は、クロック信号 $\phi 2$ の立ち下がりによりスイッチオフし、クロック信号 $\phi 0$ （クロック信号 $\phi 2$ の反転信号 E S'）の立ち上がりにより電流源スイッチがオンすることでバッファ回路 5 2 2 が駆動状態になり、該バッファ回路 5 2 2 はその時点での電圧値を増幅して判定回路 5 3 2 に出力する。判定回路 5 3 2 は、バッファ回路 5 2 2 からの信号をクロック信号 $\phi 1$ （信号 E S'）の立ち上がりにより判定し、データ『0』または『1』の値として出力する。

【 0 0 3 7 】

このように、本第 1 実施例のレシーバ回路は、各クロック信号 $\phi 0 \sim \phi 3$ によりバッファ回路 5 2 0 ~ 5 2 3 を駆動制御する電流源スイッチをオフすると、そのバッファ回路 5 2 0 ~ 5 2 3 の出力は一定の値に保持され、各判定回路 5 3 0 ~ 5 3 3 による判定タイミングの前に受信信号 INPUT が判定回路に入力するのを防ぎ、これにより、信号間干渉を無効化して精度の高い判定を可能にする。

【 0 0 3 8 】

図 8 は本発明のレシーバ回路の第 2 実施例を示すブロック図である。図 8 において、参照符号 1 6 1 1, 1 6 1 2 はサンプルスイッチ、1 6 2 1, 1 6 2 2 はバッファ回路、1 6 3 1, 1 6 3 2 は判定回路、そして、1 6 4 1, 1 6 4 2 はスイッチ回路 (pMOS スイッチ) を示している。

【 0 0 3 9 】

図 8 に示す第 2 実施例のレシーバ回路は、バッファ回路 1 6 2 1, 1 6 2 2 と判定回路 1 6 3 1, 1 6 3 2 との接続ノードにスイッチ回路 1 6 4 1, 1 6 4 2 を設けるようになっている。そして、例えば、一方のサンプルスイッチ 1 6 1 1 をオフして他方のサンプルスイッチ 1 6 1 2 をオンしたときには、一方のスイッチ回路 1 6 4 1 もオフして他方のスイッチ回路 1 6 4 2 をオンするようになっている。

【 0 0 4 0 】

すなわち、サンプルスイッチ 1 6 1 2 がオン状態では、バッファ回路 1 6 2 2 の出力に接続された負荷素子と並列のスイッチ回路 1 6 4 2 がオン (低抵抗) となり、その期間において、バッファ回路 1 6 2 2 の出力が略一定の値になる。このとき、サンプルスイッチ 1 6 1 1 はオフ状態で、スイッチ回路 1 6 4 1 もオフになっている。

【 0 0 4 1 】

そして、サンプルスイッチ 1 6 1 2 がオフ状態になると、スイッチ回路 1 6 4 2 もオフになり、サンプリングされたバッファ 1 6 2 2 の出力が判定回路 1 6 3 2 に入力され、これにより、信号間干渉を無効化することが可能になる。このとき、サンプルスイッチ 1 6 1 1 およびスイッチ回路 1 6 4 1 はオンとなり、その

期間において、バッファ回路 1 6 2 1 の出力が略一定の値になる。

【 0 0 4 2 】

本第 2 実施例では、バッファ回路の出力電流がどの期間にも流れる構成になっているため、バッファ回路の駆動トランジスタはバイアス条件の変動が少なくなり、高速の動作が可能になるという利点がある。

【 0 0 4 3 】

図 9 は本発明のレシーバ回路の第 3 実施例を示すブロック図であり、前述した図 7 に示す第 1 実施例において、入力信号 INPUT を差動信号（相補信号）INPUT, INPUTX とすると共に、判定回路 5 3 0 ～ 5 3 3 を差動の判定回路 6 3 0 ～ 6 3 3 で構成し、さらに、サンプルスイッチ 5 1 0 ～ 5 1 3 およびバッファ回路 5 2 0 ～ 5 2 3 をイコライザ回路（トランスコンダクタ）6 1 0 ～ 6 1 3 で構成したものに相当する。なお、各イコライザ回路 6 1 0 ～ 6 1 3 は、互いに位相が 9 0 度だけ異なる四相クロック信号 $\phi 0 \sim \phi 3$ により制御され、また、各判定回路 6 3 0, 6 3 1, 6 3 2, 6 3 3 は、それぞれクロック信号 $\phi 1$, $\phi 2$, $\phi 3$, $\phi 0$ により判定動作を行うようになっている。

【 0 0 4 4 】

図 1 0 は図 9 のレシーバ回路におけるイコライザ回路の一例を示す回路図であり、図 1 1 は図 9 のレシーバ回路における判定回路の一例を示す回路図であり、そして、図 1 2 は図 9 のレシーバ回路の動作を説明するためのタイミング図である。ここで、クロック信号 $\phi 0 \sim \phi 3$ は、図 1 2 に示されるように、互いに位相が 9 0 度異なる四相のクロック信号とされている。

【 0 0 4 5 】

図 1 0 に示されるように、イコライザ回路 6 1 0 は、pMOS トランジスタ 6 1 0 1, 6 1 0 2 ; 6 1 3 1, 6 1 3 2 ; 6 1 5 1, 6 1 5 2、nMOS トランジスタ 6 1 0 3 ～ 6 1 0 9 ; 6 1 3 3 ～ 6 1 3 9、電流源 6 1 1 0 ; 6 1 4 0、および、トランスファゲート 6 1 1 1, 6 1 1 2 ; 6 1 4 1, 6 1 4 2 を備えている。なお、他のイコライザ回路 6 1 1 ～ 6 1 3 もイコライザ回路 6 1 0 と同様の構成とされている。すなわち、イコライザ回路 6 1 0 は、2 つの差動増幅部（トランスコンダクタ）6 1 0 a, 6 1 0 b を備えている。なお、本実施例では、

これら2つの差動増幅部610a, 610bにより出力レベルを調整して信号伝送路特性の補償(符号間干渉の削減)を行うようになっている。すなわち、従来、符号間干渉の削減は、スイッチおよび容量を組み合わせて以前に伝送された信号のデータを保持し、それを利用して行っていたが、本実施例では、例えば、2つの差動増幅部610a, 610bを用いて符号間干渉を削減するようになっている。なお、例えば、差動増幅部610bの出力レベルの調整は、電流源6140を流れる電流を制御することで行うことができる。また、電流源6110を流れる電流を制御して差動増幅部610aの出力レベルの調整を行うこともできるが、通常、電流源6140を流れる電流を制御して差動増幅部610bの出力レベルを調整すれば十分である。

【0046】

一方の差動増幅部610aは、クロック信号 $\phi 0$, $\phi 2$ で制御されるトランスファゲートで構成されたサンプルスイッチ6111, 6112と、ゲートに低電位電源電圧VSSが印加された能動負荷(トランジスタ)6101, 6102、差動入力用トランジスタ6103, 6104、電流源6110、および、スイッチ6107を備えている。サンプルスイッチ6111および6112は、クロック信号 $\phi 2$ が高レベル『H』(クロック信号 $\phi 0$ が低レベル『L』)のときにオンとなり、クロック信号 $\phi 2$ が高レベル『H』から低レベル『L』に立ち下がるタイミングで、高レベル『H』に変化するクロック信号 $\phi 0$ で制御されるトランジスタ6107がオンとなってバッファ回路(トランジスタ6101~6104)が活性化して、入力信号INPUT, INPUTXを取り込むようになっている。

【0047】

ここで、トランジスタ6105はトランジスタ6106とカレントミラー接続され、バッファ回路(トランジスタ6101~6104)の電流(例えば、100 μ A程度)は、このトランジスタ6106を介して流れるようになっている。なお、クロック信号 $\phi 2$ により制御されるトランジスタ(微小電流回路)6109は、クロック信号 $\phi 0$ が低レベル『L』でスイッチ(トランジスタ)6107がオフのときにオンして微小電流(例えば、1 μ A程度)をトランジスタ610

6にトランジスタ6108を介して流し、差動入力用トランジスタ6103, 6104によるキックバックノイズ等の発生を低減するものである。

【0048】

同様に、他方の差動増幅部610bは、クロック信号 $\phi 3$, $\phi 1$ で制御されるトランスファゲートで構成されたサンプルスイッチ6141, 6142と、ゲートに低電位電源電圧VSSが印加された能動負荷（トランジスタ）6131, 6132、差動入力用トランジスタ6133, 6134、電流源6140、および、スイッチ6137を備えている。サンプルスイッチ6141および6142は、クロック信号 $\phi 1$ が高レベル『H』（クロック信号 $\phi 3$ が低レベル『L』）のときにオンとなり、クロック信号 $\phi 1$ が高レベル『H』から低レベル『L』に立ち下がるタイミングで、高レベル『H』に変化するクロック信号 $\phi 3$ で制御されるトランジスタ6137がオンとなってバッファ回路（トランジスタ6131～6134）が活性化して、入力信号INPUT, INPUTXを取り込むようになっている。

【0049】

ここで、トランジスタ6135はトランジスタ6136とカレントミラー接続され、バッファ回路（トランジスタ6131～6134）の電流は、このトランジスタ6136を介して流れるようになっている。なお、クロック信号 $\phi 1$ により制御されるトランジスタ（微小電流回路）6139は、クロック信号 $\phi 3$ が低レベル『L』でトランジスタ6137がオフのときにオンして微小電流をトランジスタ6136にトランジスタ6138を介して流し、差動入力用トランジスタ6133, 6134によるキックバックノイズ等の発生を低減するものである。また、電流源6140を流れる電流を制御することにより、差動増幅部610bの出力レベルを調整することができる。

【0050】

pMOSトランジスタ6151および6152は、クロック信号 $\phi 2$ により制御され、クロック信号 $\phi 2$ が低レベル『L』に立ち下がる時にオンとなって、2つの差動増幅部610aおよび610bの出力を接続して差動出力D[0]およびDX[0]を判定回路630に供給する。

【 0 0 5 1 】

このように、イコライザ回路 (6 1 0) は、2 つの差動増幅部 6 1 0 a および 6 1 0 b を備え、各差動増幅部が異なるタイミング (クロック信号 $\phi 0$, $\phi 2$; $\phi 3$, $\phi 1$) で受信信号系列を増幅し、さらに、例えば、クロック信号 $\phi 2$ の立ち上がりで 1 つの判定回路 (6 3 0) に対して同時に出力を行うようになっている。そして、2 つの差動増幅部 (トランスコンダクタ) 6 1 0 a, 6 1 0 b により出力の大きさの調整 (出力の重み付け) を行うことで、伝送路の特性から生じる信号間干渉を補償してより一層判定回路による判定の精度を向上させることが可能になる。

【 0 0 5 2 】

図 1 1 に示されるように、判定回路 6 3 0 は、クロック信号 $\phi 1$ により制御される。ここで、他の判定回路 6 3 1, 6 3 2, 6 3 3 も判定回路 6 3 0 と同様の構成とされているが、それぞれクロック信号 $\phi 2$, $\phi 3$, $\phi 0$ により制御され、インターリーブ動作を行うように構成されている。

【 0 0 5 3 】

判定回路 6 3 0 は、pMOS トランジスタ 6 3 0 1 ~ 6 3 0 4、nMOS トランジスタ 6 3 0 5 ~ 6 3 0 9、NAND ゲート 6 3 1 1, 6 3 1 2、および、インバータ 6 3 1 3, 6 3 1 4 を備えて構成されている。トランジスタ 6 3 0 1 のゲートには、クロック信号 $\phi 1$ が供給され、クロック信号 $\phi 1$ が高レベル『H』のときに回路 (差動回路) を活性化して判定動作を行うようになっている。さらに、クロック信号 $\phi 1$ はトランジスタ 6 3 0 3, 6 3 0 9 のゲートにも供給され、クロック信号 $\phi 1$ が低レベル『L』で差動回路が非活性のときに、プリチャージ用トランジスタ 6 3 0 1, 6 3 0 3 をオンして、NAND ゲート 6 3 1 1, 6 3 1 2 によるラッチの入力レベルをプリチャージするようになっている。なお、インバータ 6 3 1 3, 6 3 1 4 は、ラッチ (NAND ゲート 6 3 1 1, 6 3 1 2) の出力波形を整形するためのものであり、このインバータ 6 3 1 3, 6 3 1 4 を介して判定結果 (差動出力信号 DOUT [0], DOUTX [0]) が出力されることになる。

【 0 0 5 4 】

なお、各判定回路 6 3 0, 6 3 1, 6 3 2, 6 3 3 は、それぞれ四相クロック信号の各クロック信号 $\phi 1$, $\phi 2$, $\phi 3$, $\phi 0$ により制御されて、順次判定結果 DOUT [0], DOUTX [0] ~ DOUT [3], DOUTX [3] を出力することになる。

【 0 0 5 5 】

図 1 3 は本発明のレシーバ回路の第 4 実施例を示すブロック図であり、上述した第 3 実施例を変形したものに相当する。すなわち、本第 4 実施例では、判定回路がシングルエンドの信号を出力するラッチ 7 3 0 ~ 7 3 3 として構成されている。

【 0 0 5 6 】

図 1 3 において、参照符号 7 1 0 a, 7 1 1 a, 7 1 2 a, 7 1 3 a は第 1 の差動増幅部（図 1 0 における差動増幅部 6 1 0 a に相当）を示し、7 1 0 b, 7 1 1 b, 7 1 2 b, 7 1 3 b は第 2 の差動増幅部（図 1 0 における差動増幅部 6 1 0 b に相当）を示し、そして、7 1 0 c, 7 1 1 c, 7 1 2 c, 7 1 3 c はスイッチ（図 1 0 におけるトランジスタ 6 1 5 1, 6 1 5 2 に相当）を示している。また、参照符号 7 3 0 ~ 7 3 3 は差動の入力信号を受け取ってシングルエンドの信号を出力するラッチ（図 1 1 に示す判定回路 6 3 0 に相当）を示している。ここで、参照符号 $\phi 0$ ~ $\phi 3$ は互いに位相が 9 0 度だけ異なる四相クロック信号である。また、各第 1 の差動増幅部 7 1 0 a, 7 1 1 a, 7 1 2 a, 7 1 3 a および第 2 の差動増幅部 7 1 0 b, 7 1 1 b, 7 1 2 b, 7 1 3 b は、トランスコンダクタとして構成され、スイッチ 7 1 0 c, 7 1 1 c, 7 1 2 c, 7 1 3 c をオンすることで各トランスコンダクタの出力電流を加算して出力の大きさの調整（出力の重み付け）を行い、伝送路の特性から生じる信号間干渉を補償するようになっている。

【 0 0 5 7 】

各第 1 の差動増幅部 7 1 0 a, 7 1 1 a, 7 1 2 a, 7 1 3 a は、それぞれクロック信号 $\phi 0$ ($\phi 2$), $\phi 1$ ($\phi 3$), $\phi 2$ ($\phi 0$), $\phi 3$ ($\phi 1$) によりデータ入力 (INPUT, INPUTX) の取り込みタイミングが制御され、また、各第 2 の差動増幅部 7 1 0 b, 7 1 1 b, 7 1 2 b, 7 1 3 b は、それぞれク

ロック信号 $\phi 3$ ($\phi 1$), $\phi 0$ ($\phi 2$), $\phi 1$ ($\phi 3$), $\phi 2$ ($\phi 0$)によりデータ入力の取り込みタイミングが制御され、そして、各スイッチ710c, 711c, 712c, 713cは、それぞれクロック信号 $\phi 0$ ($\phi 2$), $\phi 1$ ($\phi 3$), $\phi 2$ ($\phi 0$), $\phi 3$ ($\phi 1$)によりスイッチングのタイミングが制御されるようになっている。さらに、各ラッチ730, 731, 732, 733は、それぞれクロック信号 $\phi 1$ ($\phi 3$), $\phi 2$ ($\phi 0$), $\phi 3$ ($\phi 1$), $\phi 0$ ($\phi 2$)により入力データ（イコライザ回路の出力信号）の取り込みタイミングが制御されるようになっている。

【0058】

すなわち、例えば、第1の差動増幅部710aにおけるサンプルスイッチ（図10における第1の差動増幅部610aのサンプルスイッチ6111, 6112を参照）がクロック信号 $\phi 2$ の立ち下がり（クロック信号 $\phi 0$ の立ち上がり）によって切断されると、それと同時に、クロック信号 $\phi 0$ の立ち上がりにより該第1の差動増幅部710a内の電流源スイッチ（図10における第1の差動増幅部610aのトランジスタ6107を参照）がオンになり、第1の差動増幅部（トランスコンダクタ）710aが駆動を開始する。同様に、例えば、第2の差動増幅部710bにおけるサンプルスイッチ（図10における第1の差動増幅部610bのサンプルスイッチ6141, 6142を参照）がクロック信号 $\phi 1$ の立ち下がり（クロック信号 $\phi 3$ の立ち上がり）によって切断されると、それと同時に、クロック信号 $\phi 3$ の立ち上がりにより該第2の差動増幅部710b内の電流源スイッチ（図10における第2の差動増幅部610bのトランジスタ6137を参照）がオンになり、第2の差動増幅部（トランスコンダクタ）710bが駆動を開始する。

【0059】

次に、クロック信号 $\phi 2$ の立ち上がりにより第1の差動増幅部710aにおけるサンプルスイッチ（6111, 6112）が接続されると、同時にクロック信号 $\phi 0$ が立ち下がり、電流源スイッチ（6107）がオフになる。これにより、第1の差動増幅部710aはオフ状態となり、十分に小さい電流しか出力しないので、サンプルスイッチへの入力は一一定に保持される。さらに、例えば、クロッ

ク信号 $\phi 2$ の立ち上がりによりスイッチ 7 1 0 c (図 1 0 におけるトランジスタ 6 1 5 1, 6 1 5 2 を参照) がオンすると、第 2 の差動増幅部 7 1 0 b の出力 (差動出力) が第 1 の差動増幅部 7 1 0 a の出力と繋がれ、出力電流が加算される。そして、この 2 つの差動増幅部 (トランスコンダクタ) 7 1 0 a, 7 1 0 b による出力電流の加算で出力の大きさの調整を行う (例えば、図 1 0 における差動増幅部 6 1 0 b の電流源 6 1 4 0 を流れる電流を制御する) ことで、伝送路の特性から生じる信号間干渉を補償するようになっている。

【 0 0 6 0 】

図 1 4 は図 1 3 のレシーバ回路の動作を説明するための図であり、図 1 5 は図 1 3 のレシーバ回路の動作を説明するための波形の一例を示す図であり、図 1 3 における第 1 の差動増幅部 7 1 0 a, 第 2 の差動増幅部 7 1 0 b, スwitch 7 1 0 c およびラッチ 7 3 0 の動作を説明するためのものである。なお、図 1 4 および図 1 5 において、参照符号 Data 0 はクロック信号 $\phi 0$ ($\phi 2$) により制御される第 1 の差動増幅部 7 1 0 a の出力データを示し、Data 3' はクロック信号 $\phi 3$ ($\phi 1$) により制御される第 2 の差動増幅部 7 1 0 b の出力データを示し、そして、Data 0 e はクロック信号 $\phi 0$ ($\phi 2$) により制御されるスイッチ 7 1 0 c によりイコライズされた後の出力データ (イコライザ回路の出力データ Data 0) を示している。さらに、参照符号 Pre は各第 1 および第 2 の差動増幅部におけるプリチャージ期間を示し、また、Lat はクロック信号 $\phi 1$ ($\phi 3$) により制御されるラッチ 7 3 0 がデータ (Data 0 e) を取り込む (ラッチする) タイミングを示している。なお、図 1 5 における参照符号 Data 0 e, Data 0 e x は、イコライズされた後の差動出力を示している。

【 0 0 6 1 】

図 1 4 および図 1 5 に示されるように、ラッチ (判定回路) 7 3 0 のラッチタイミング Lat は、クロック信号 $\phi 3$ の立ち下り (クロック信号 $\phi 1$ の立ち上がり) タイミングで行われ、そして、プリチャージ Pre は、クロック信号 $\phi 3$ が高レベル『H』の期間 (クロック信号 $\phi 1$ が低レベル『L』の期間) に行われる。そして、ラッチ 7 3 0 による各ラッチタイミング Lat では、イコライズされた後の差動出力 (イコライザ回路の差動出力) Data 0 e, Data 0 e x が

ラッチ730に取り込まれて判定が行われる。

【0062】

ここで、図15からも明らかなように、イコライザ回路の差動出力Data 0e, Data 0exは、両方ともプリチャージ期間Preでプリチャージ（例えば、高電位の電源電圧VDD：1.3ボルト程度）された後に、データ入力（INPUT, INPUTX）に応じた電圧レベルとなり、また、ラッチ730は、イコライザ回路の差動出力Data 0e, Data 0exに十分な差電圧が生じたタイミングLatでラッチ動作を行うため、正確なデータの判定を行うことができる。

【0063】

以上において、例えば、イコライザ回路610～613、判定回路630～633等は、四相クロック信号φ0～φ3により制御される4組として説明したが、これらクロック信号およびイコライザ回路（バッファ回路）等は、様々に変形することができる。また、例えば、イコライザ回路610は2つの差動増幅部610a, 610bにより構成されるものとして説明したが、これらの構成も様々に変更することができるのはいうまでもない。

【0064】

以下、本発明に係るレシーバ回路の第2の形態を、図面を参照して詳述する。

【0065】

信号伝送速度が1Gbpsを超えて数Gbpsといった極めて高い値（周波数）になると、LSI内部よりも高い周波数となるため信号を受信するためには高速動作が可能なレシーバ回路が必要になる。一般に、CMOSトランジスタのようなバイポーラ素子やGaAsおよびSiGe等の材料を用いた高速トランジスタに比べて比較的低速な素子を使ったレシーバ回路は、前述したように、入力線に直列に入ったスイッチ（サンプリング回路）とバッファ回路で構成され、スイッチが切れるタイミングでの信号の値がサンプルされてバッファの出力となり、このバッファの出力をラッチすることにより信号の値を判定する。

【0066】

以下に説明する本発明に係るレシーバ回路の第2の形態は、入力にスイッチを

設けず、サンプリング回路として差動ペア（差動対トランジスタ）を使用するものである。なお、本発明に係るレシーバ回路の第2の形態においても、判定以前の信号値に応じた電圧の変動による符号間干渉の影響を取り除き、過去の信号の値が判定回路に悪影響を与えるのを防止してより正確なデータの判定を行う回路が提供されるのは、前述した本発明に係るレシーバ回路の第1の形態と同様である。

【0067】

図16は本発明に係るレシーバ回路の第2の形態における原理構成の一例を示すブロック回路図であり、レシーバ回路（レシーバユニット）の一構成例を示すものである。ここで、図16に示すレシーバユニット80は、例えば、2つのレシーバユニットをインターリーブ動作させてレシーバ回路を構成するものである。なお、本発明に係るレシーバ回路の第2の形態は、2つのレシーバユニットにより構成されるものに限定されず、4つ或いは8つといった複数のレシーバユニットにより構成することもできる。

【0068】

図16に示されるように、レシーバ回路（レシーバユニット）80は、スイッチ821、822、825、差動対トランジスタ（nMOSトランジスタ）823、824、判定回路830、および、電流源840を備えて構成される。

【0069】

スイッチ821、822、825は、クロック信号 ϕ により制御され、例えば、スイッチ821および822はクロック信号 ϕ が高レベル『H』のときにオフし、スイッチ825はクロック信号 ϕ が高レベル『H』のときに電流源840を差動対トランジスタ823、824に接続するように動作する。ここで、差動対トランジスタ823、824はサンプリング回路を構成し、この差動対トランジスタ823、824のソース電流（テイル電流）はパルス電流出力の電流源840により供給される。

【0070】

図17は図16のレシーバ回路の動作を説明するための図である。

【0071】

図 1 6 および図 1 7 に示されるように、差動対トランジスタ 8 2 3, 8 2 4 の出力には、スイッチ（プリチャージ用トランジスタ）8 2 1, 8 2 2 が接続され、サンプリング回路（差動対トランジスタ 8 2 3, 8 2 4）が出力を出さない期間（クロック信号 ϕ が低レベル『L』）には、プリチャージ用トランジスタ 8 2 1, 8 2 2 がオンとなって出力（ V_{s+}, V_{s-} ）を VDD にプリチャージする。そして、サンプリング期間が始まると（クロック信号 ϕ が低レベル『L』から高レベル『H』になると）、プリチャージトランジスタ 8 2 1, 8 2 2 がオフとなり、同時に、電流源 8 4 0 がオンしてテイル電流をパルス状に流す。

【0 0 7 2】

ここで、テイル電流が流れている期間、トランスコンダクタは出力電流を流すため、この期間、出力ノード（ V_{s+}, V_{s-} ）では入力（DATA, DATA X）が積分され、そして、パルス電流がオフになると、積分は終了する。このとき、クロック信号 ϕ が低レベル『L』から高レベル『H』（クロック信号 ϕ が高レベル『H』から低レベル『L』）になって、判定回路 8 3 0 が出力（ V_{s+}, V_{s-} ）の判定を行う。その後（或いは、積分終了と同時に）、クロック信号 ϕ が高レベル『H』になってプリチャージトランジスタ 8 2 1, 8 2 2 がオンになり、出力ノード（ V_{s+}, V_{s-} ）は再び VDD にプリチャージされる。

【0 0 7 3】

図 1 6 および図 1 7 に示されるように、後段に存在する判定回路 8 3 0 は、サンプリング回路の出力が最大（差動対トランジスタ 8 2 3, 8 2 4 による出力 V_{s+}, V_{s-} の電位差が最大）になる積分期間の終わりに信号の『0』, 『1』の判定を行う。サンプリング回路の出力は、パルス電流がオフ（スイッチ 8 2 5 がオフ）の期間は、入力に依存しないためレシーバ内部の電圧が大きく変動することで発生する符号間干渉を除去することが可能になる。なお、この図 1 6 に示す回路は、サンプリング回路のプリチャージ期間は信号を受信できないため、連続してデータを受信するためには最低 2 つを交互に（インターリーブさせて）使う必要がある。

【0 0 7 4】

本発明に係るにレシーバ回路の第 2 の形態によれば、判定を行うビットセル以

前の受信信号 DATA, DATA X の影響が判定回路 830 に入力されることが無いので、レシーバ内部の過大な電圧変動で生じる一連の受信信号系列の符号間干渉を小さくすることができ、その結果、入力する信号の判定をより一層高い精度で行うことが可能になる。

【0075】

図18は本発明のレシーバ回路の第5実施例を示す回路図であり、2つのレシーバユニット80aおよび80bを位相が180度異なるクロック信号 ϕ , ϕ でインターリーブ駆動する例を示すものである。図18に示すレシーバ回路は、例えば、10Gbpsの高速信号を受信するための回路であり、5GHzの2相クロック信号（つまり1相の差動クロック信号） ϕ , ϕ により2way動作する判定回路として構成されている。

【0076】

図18と図17との比較から明らかなように、本第5実施例では、スイッチ（プリチャージトランジスタ）821, 822をそれぞれpMOSトランジスタで構成し、また、スイッチ825および電流源840を1つのnMOSトランジスタ（テイル電流駆動用パルス電流源）845で構成したものである。なお、トランジスタ845のゲートには、電源電圧としてアナログ電源電圧VDDAが与えられ、クロック ϕ を反転するインバータ826の出力が供給されている。

【0077】

ここで、本第5実施例は、サンプリング回路（差動対トランジスタ823, 824）、出力プリチャージ回路（トランジスタ821, 822）、テイル電流駆動用パルス電流源（トランジスタ845）、判定回路（830a; 830b）の組み合わせでレシーバ回路を構成するものである。テイル電流駆動用パルス電流源845は、例えば、5GHzクロック信号 ϕ (ϕ) をアナログ電源電圧VDDAが供給されたインバータ826に通した出力でそのトランジスタ（テイル電流駆動用パルス電流源）845のゲート電圧を駆動することで実現される。ここで、差動対トランジスタ823, 824、プリチャージトランジスタ821, 822、および、テイル電流駆動用パルス電流源845は、各サンプリング部820a, 820bを構成している。

【 0 0 7 8 】

図 1 8 と図 1 1 との比較から明らかなように、本第 5 実施例のレシーバ回路における各レシーバユニット 8 0 a および 8 0 b の判定回路 8 3 0 a および 8 3 0 b は、図 1 1 に示す判定回路 6 3 0 と同様の構成とされている。すなわち、図 1 8 の各判定回路 8 3 0 a および 8 3 0 b における pMOS トランジスタ 8 3 0 1 ~ 8 3 0 4、nMOS トランジスタ 8 3 0 5 ~ 8 3 0 9、NAND ゲート 8 3 1 1、8 3 1 2、および、インバータ 8 3 1 3、8 3 1 4 は、それぞれ図 1 1 の判定回路 6 3 0 における pMOS トランジスタ 6 3 0 1 ~ 6 3 0 4、nMOS トランジスタ 6 3 0 5 ~ 6 3 0 9、NAND ゲート 6 3 1 1、6 3 1 2、および、インバータ 6 3 1 3、6 3 1 4 に対応する。また、図 1 8 の判定回路 8 3 0 a (8 3 0 b) におけるクロック信号 ϕ ($\neg \phi$) および入力信号 V_{s0+} , V_{s0-} (V_{s1+} , V_{s1-}) は、図 1 1 の判定回路 6 3 0 におけるクロック信号 ϕ 1 および入力信号 $D[0]$, $DX[0]$ に対応する。

【 0 0 7 9 】

ここで、判定回路 8 3 0 a (8 3 0 b) の入力信号 V_{s0+} , V_{s0-} (V_{s1+} , V_{s1-}) は、サンプリング部 8 2 0 a (8 2 0 b) から供給される。そして、判定回路 8 3 0 a (8 3 0 b) は、クロック信号 ϕ ($\neg \phi$) の立ち上がりで信号の『0』, 『1』の判定を行う。本第 5 実施例では、5 GHz クロック信号 ϕ ($\neg \phi$) の高レベル『H』の期間 (100 psec.) のみサンプリング回路が入力を積分するため、他のビットセルの影響がサンプリング回路の出力に影響することを避けることができる。

【 0 0 8 0 】

図 1 9 は図 1 8 のレシーバ回路におけるアナログ電源電圧 V_{DDA} を生成する回路 8 2 7 の一例を示す図である。

【 0 0 8 1 】

アナログ電源電圧生成回路 8 2 7 は、電流源 8 2 7 1、nMOS トランジスタ 8 2 7 2、差動増幅器 8 2 7 3、pMOS トランジスタ 8 2 7 4 および負荷 8 2 7 5 を備えて構成される。そして、インバータ 8 2 6 は、このようにして生成されたアナログ電源電圧 V_{DDA} をその電源電圧とし、入力されたクロック ϕ ($\neg \phi$)

）を反転してテイル電流駆動用パルス電流源（トランジスタ 8 4 5）を駆動する。

【 0 0 8 2 】

図 2 0 は本発明のレシーバ回路の第 6 実施例を示す回路図である。

【 0 0 8 3 】

図 2 0 と図 1 8 との比較から明らかなように、本第 6 実施例のレシーバ回路は、第 5 実施例のレシーバ回路におけるテイル電流駆動用パルス電流源（トランジスタ）8 4 5 を図 1 6 で説明したのと同様に、直列接続されたスイッチ（スイッチ用トランジスタ）8 2 5 および電流源（テイル電流供給トランジスタ）8 4 0 で構成したものである。ここで、一方のレシーバユニット 8 0 a におけるトランジスタ 8 2 5 のゲートにはクロック信号 ϕ が供給され、また、他方のレシーバユニット 8 0 b におけるトランジスタ 8 2 5 のゲートにはクロック信号 ϕ が供給される。なお、各レシーバユニット 8 0 a, 8 0 b におけるトランジスタ 8 4 0 のゲートには、一定のゲート電圧 V_{cn} が印加されている。

【 0 0 8 4 】

本第 6 実施例のレシーバ回路は、アナログ電源電圧 V_{DDA} で駆動されるインバータ 8 2 6 を使用しないため、ゲートを駆動する波形は通常のロジックと同等の速度が得られる利点がある。

【 0 0 8 5 】

図 2 1 は本発明のレシーバ回路の第 7 実施例を示す回路図であり、各レシーバユニット 8 0 a, 8 0 b におけるサンプリング部 8 2 0 a, 8 2 0 b のみを示すものである。

【 0 0 8 6 】

図 2 1 と図 2 0 におけるサンプリング部との比較から明らかなように、本第 7 実施例のレシーバ回路（サンプリング部 8 2 0 a, 8 2 0 b）では、テイル電流のスイッチングが差動（相補）のクロック信号 ϕ , ϕ が供給されたさらなる一対の差動トランジスタ 8 2 5, 8 2 8 により行われ、サンプリング部（サンプリング回路）が動作していない間、テイル電流源 8 2 6 からの電流を高電位電源 V_{DD} 側にバイパスするようになっている。

【 0 0 8 7 】

すなわち、一方のサンプリング部 8 2 0 a において、クロック信号 ϕ が低レベル『L』となってトランジスタ 8 2 5 がオフし、テイル電流供給用のトランジスタ 8 2 6 が差動対トランジスタ 8 2 3, 8 2 4 から遮断されるとき、クロック信号 ϕ が高レベル『H』となってトランジスタ 8 2 8 がオンし、テイル電流供給用のトランジスタ 8 2 6 が高電位の電源線 (VDD) に接続されるようになっている。また、他方のサンプリング部 8 2 0 b において、クロック信号 ϕ が低レベル『L』となってトランジスタ 8 2 5 がオフし、テイル電流供給用のトランジスタ 8 2 6 が差動対トランジスタ 8 2 3, 8 2 4 から遮断されるとき、クロック信号 ϕ が高レベル『H』となってトランジスタ 8 2 8 がオンし、テイル電流供給用のトランジスタ 8 2 6 が高電位の電源線 (VDD) に接続されるようになっている。

【 0 0 8 8 】

このように、本第 7 実施例のレシーバ回路では、テイル電流供給用のトランジスタ 8 2 8 は常に一定電流を流すように動作するため、このトランジスタ 8 2 8 のドレイン電圧の変動が小さくなり電流切り替えが高速に行われるという利点がある。

【 0 0 8 9 】

図 2 2 は本発明のレシーバ回路の第 8 実施例を示す回路図である。

【 0 0 9 0 】

図 2 2 と図 2 1 との比較から明らかなように、本第 8 実施例のレシーバ回路 (サンプリング部 8 2 0 a, 8 2 0 b) は、一方のレシーバユニット 8 2 0 a におけるトランジスタ 8 2 5 がオフするときにオンしてテイル電流供給用のトランジスタ 8 2 6 を高電位の電源線 (VDD) に接続するトランジスタ 8 2 8 を他方のレシーバユニット 8 2 0 b におけるトランジスタ 8 2 5 として使用し、且つ、他方のレシーバユニット 8 2 0 b におけるトランジスタ 8 2 8 を一方のレシーバユニット 8 2 0 a におけるトランジスタ 8 2 5 として使用するものである。

【 0 0 9 1 】

本第 8 実施例のレシーバ回路は、上述した第 7 実施例と同様に、テイル電流供

給用のトランジスタ 8 2 8 のドレイン電圧変動を小さくして電流切り替えを高速に行うことができるのに加え、テイル電流が無駄に電源線 VDD にバイパスされないため電流消費をほぼ半分に低減することができるという利点がある。

【 0 0 9 2 】

図 2 3 は本発明のレシーバ回路の第 9 実施例を示す回路図であり、図 2 4 は図 2 3 に示すレシーバ回路の変形例を示す回路図である。なお、図 2 3 および図 2 4 では、1 つのレシーバユニットにおけるサンプリング部 8 2 0 a (8 2 0 b) のみを示している。

【 0 0 9 3 】

図 2 3 に示されるように、本第 9 実施例のレシーバ回路（サンプリング部 8 2 0 a (8 2 0 b) ）は、サンプリング回路のテイル電流（ここでは、差動対トランジスタ 8 2 3, 8 2 4 のソース電流の和）をスイッチする手段として、この差動対トランジスタ 8 2 3, 8 2 4 のソースノードに高電位電源線（VDD）から電流をトランジスタ 8 2 5 0 で電流を注入するようになっている。

【 0 0 9 4 】

すなわち、本第 9 実施例では、pMOS トランジスタ 8 2 5 0 を高電位電源線（VDD）と差動対トランジスタ 8 2 3, 8 2 4 のソースとの間に設けるようになっている。そして、この pMOS トランジスタ 8 2 5 0 のゲート電圧が低レベル『L』のとき差動対トランジスタ 8 2 3, 8 2 4 のソース電位は高電位電源電圧 VDD にプルアップされ、その結果、サンプリング部 8 2 0 a (8 2 0 b) の入力差動対トランジスタ 8 2 3, 8 2 4 はオフする。このとき、テイル電流源の nMOS トランジスタ 8 2 6 の電流は全て pMOS トランジスタに流れ込む。さらに、pMOS トランジスタ 8 2 5 0 のゲート電圧が高レベル『H』になるとこの pMOS トランジスタ 8 2 5 0 からの電流注入はなくなり、テイル電流源（8 2 6）の電流は全てサンプリング部の差動対トランジスタ 8 2 3, 8 2 4 のテイル電流となる。

【 0 0 9 5 】

このように、本第 9 実施例では、テイル電流源 8 2 6 と直列のスイッチではなく並列のスイッチ（8 2 5 0）により実質的にサンプリング部の差動対トランジ

スタ 8 2 3, 8 2 4 のテイル電流をスイッチするため、テイル電流源 8 2 6 に直列のトランジスタが挿入されず、より一層の低電圧動作が可能という利点がある。

【 0 0 9 6 】

図 2 4 は上述した第 9 実施例のレシーバ回路の変形例を示し、pMOS トランジスタ 8 2 5 0 の代わりに nMOS トランジスタ 8 2 6 0 を使用して差動対トランジスタ 8 2 3, 8 2 4 のソース電位を変化させるようになっている。このトランジスタ 8 2 6 0 は、いわゆるソースカップルであり、スイッチ用トランジスタのゲートを高レベル『H』にするとソース電位は上昇し、それに伴って差動対トランジスタ 8 2 3, 8 2 4 のソース電流の和（テイル電流）は減少する。つまり、テイル電流源 8 2 6 の電流は、スイッチ用 nMOS トランジスタ 8 2 6 0 側に分流される。ここで、スイッチ用 nMOS トランジスタ 8 2 6 0 のサイズを適当に選ぶことにより、サンプリング部（差動対トランジスタ 8 2 3, 8 2 4）の電流をほぼ全てオン／オフさせることができる。本変形例では、高速の nMOS トランジスタを使用できるため、回路の動作周波数を高くしやすいという利点がある。

【 0 0 9 7 】

図 2 5 は本発明のレシーバ回路の第 1 0 実施例を示す回路図であり、四相クロック信号 $\phi 0 \sim \phi 3$ を使用して 4 - w a y 動作を行うようになっている。ここで、四相クロック信号 $\phi 0 \sim \phi 3$ は、例えば、前述した図 1 2 に示されるような互いに 9 0 度の位相差を有するクロックである。ここで、各サンプリング部 8 2 0 a ~ 8 2 0 d は同様の構成とされ、また、サンプリング部 8 2 0 a と 8 2 0 c で 1 つのテイル電流源（トランジスタ） 8 2 6 を共用すると共にサンプリング部 8 2 0 b と 8 2 0 d で 1 つのテイル電流源 8 2 6 を共用するようになっている。

【 0 0 9 8 】

本第 1 0 実施例のレシーバ回路（サンプリング部）は、差動対トランジスタを 2 段重ね（8 2 5 1, 8 2 5 3 および 8 2 5 2）にした回路構成により、四相のクロック信号 $\phi 0 \sim \phi 3$ の重なり部分を使用してサンプリング回路の活性化（積分動作）を行うようになっている。そして、本第 1 0 実施例は 4 - w a y 動作と

なるため、同じ信号周波数であれば 4 - w a y 動作レシーバ回路の方が 2 - w a y 動作のものよりも一定時間にサンプリング回路や判定回路の動作を倍にすることができ、動作速度により余裕が生じるという利点がある。

【 0 0 9 9 】

すなわち、本第 1 0 実施例のレシーバ回路は、実質的には、図 2 2 に示す回路を 2 つ設け、四相クロック信号 $\phi 0 \sim \phi 3$ により 4 - w a y 動作を行うものであるが、スイッチ用トランジスタ 8 2 5 として、トランジスタ 8 2 5 1 ~ 8 2 5 3 を使用するようになっている。これは、各トランジスタ 8 2 5 1 ~ 8 2 5 3 は、そのゲートに供給されるクロック信号が高レベル『H』になることによりオンするが、先にトランジスタ 8 2 5 2 がオンしている状態で後からトランジスタ 8 2 5 1 をオンさせる必要があるからである。すなわち、例えば、先にトランジスタ 8 2 5 1 がオンしている状態で後からトランジスタ 8 2 5 2 がオンすると、差動対トランジスタ 8 2 3, 8 2 4 のソース電流を高速にテイル電流源の nMOS トランジスタ 8 2 6 に流すことができないので、前述した図 2 1 の第 7 実施例のように、先にトランジスタ 8 2 5 1 がオンして後からトランジスタ 8 2 5 2 がオンするタイミングでは、テイル電流供給用のトランジスタ 8 2 6 を高電位の電源線 (VDD) に接続するようにしている。

【 0 1 0 0 】

なお、後述するように、このスイッチ用トランジスタ (8 2 5 1 ~ 8 2 5 3) の構成は、使用するクロック信号により 1 段のスイッチ用トランジスタとして構成することも可能である。

【 0 1 0 1 】

図 2 6 は本発明のレシーバ回路の第 1 1 実施例を示す回路図であり、上記の第 1 0 実施例と同様に、四相クロック信号 $\phi 0 \sim \phi 3$ を使用して 4 - w a y 動作を行うものである。なお、各サンプリング部 8 2 0 a ~ 8 2 0 d は同様の構成とされている。

【 0 1 0 2 】

図 2 6 と図 2 4 との比較から明らかなように、本第 1 1 実施例は、前述した図 2 4 に示す第 9 実施例の変形例における nMOS トランジスタ (スイッチ) 8 2

60を2つの異なるクロック信号が入力される2つのnMOSトランジスタ8261, 8262で構成するようになっている。

【0103】

具体的に、例えば、サンプリング部820aにおいて、トランジスタ8261のゲートにはクロック信号 $\phi 0$ が供給され、また、トランジスタ8262のゲートにはクロック信号 $\phi 1$ が供給され、これらクロック信号 $\phi 0$ および $\phi 1$ が両方とも低レベル『L』となる期間だけ、サンプリング回路の活性化（積分動作）を行うようになっている。なお、他のサンプリング部820b～820dは、それぞれ90度の位相だけずれて順次サンプリング回路の活性化を行うことになる。なお、図24と図23の関係から明らかなように、2つのnMOSトランジスタ8261, 8262として2つのpMOSトランジスタを使用することもできるのはいうまでもない。

【0104】

図27は本発明のレシーバ回路の第12実施例を示すブロック図であり、図28は図27のレシーバ回路の動作を説明するためのタイミング図である。本第12実施例のレシーバ回路では、図28に示されるような四相クロック信号 $\phi 0 \sim \phi 3$ を使用して4-way動作を行うようになっている。すなわち、クロック信号 $\phi 0 \sim \phi 3$ は、互いに位相が90度ずれており、高レベル『H』となる期間 T_2 が一周期 T_1 の $1/4$ （デューティー比が25%）となるような四相クロック信号である。ここで、電流源841a, 841b, 841c, 841dは、それぞれクロック信号 $\phi 0, \phi 1, \phi 2, \phi 3$ が高レベル『H』になる期間だけ動作し、その動作期間だけ対応するサンプリング部820a, 820b, 820c, 820dを活性化して積分動作を行わせるものである。

【0105】

図27に示されるように、デューティー比が25%の四相クロック信号 $\phi 0 \sim \phi 3$ を使用して電流源841a～841dを制御することにより、サンプリング部820a～820dを4-way駆動することができる。なお、図28において、DOUT[0], DOUTX[0]; DOUT[1], DOUTX[1]; DOUT[2], DOUTX[2]; DOUT[3], DOUTX[3]は、4

４－w a y動作する判定回路（８３０ a，８３０ b，８３０ c，８３０ d）の出力（判定結果）を示す。これら各判定回路８３０ a～８３０ dは、例えば、前述した図１８の判定回路８３０ aと同様の構成とされ、それぞれの制御信号（クロック信号）として、異なる位相の四相クロック信号 $\phi 0 \sim \phi 3$ を順次供給する。

【 0 1 0 6 】

図２９は本発明のレシーバ回路の第１３実施例を示すブロック図であり、図３０は図２９のレシーバ回路の動作を説明するためのタイミング図である。この図２９に示す第１３実施例のレシーバ回路は、例えば、図１３を参照して説明した第４実施例のように、上記第１２実施例のサンプリング部８２０ a～８２０ dを２つの差動増幅部を有するイコライザ回路として構成する場合を示すものである。なお、第１の差動増幅部、第２の差動増幅部、並びに、これら第１および第２の差動増幅部の接続を制御するスイッチ等は、前述した第４実施例と同様であり、各トランスコンダクタの出力電流を加算して出力の大きさの調整（出力の重み付け）を行い、伝送路の特性から生じる信号間干渉を補償するようになっている。

【 0 1 0 7 】

図２９および図３０に示されるように、本第１３実施例のレシーバ回路においても、デューティ比が２５％の四相クロック信号 $\phi 0 \sim \phi 3$ を使用して４－w a y動作を行うようになっている。

【 0 1 0 8 】

図３１は本発明のレシーバ回路の第１４実施例を示す回路図であり、図３２は図３１のレシーバ回路の動作を説明するためのタイミング図である。本第１４実施例のレシーバ回路は、上記の第１３実施例と同様に、サンプリング部８２０ a～８２０ dを２つの差動増幅部８２０ a a，８２０ a b～８２０ d a，８２０ d bを有するイコライザ回路として構成している。

【 0 1 0 9 】

ここで、本第１４実施例における電流源８４３１および８４３２は、図２９の第１３実施例における電流源８４３に対応し、また、本第１４実施例における電流源８４４１および８４４２は、図２９の第１３実施例における電流源８４４に

対応する。さらに、本第14実施例におけるサンプリング部の一部（サンプリング部820aおよび820cの一方の差動増幅部）を纏めた回路820aaおよび820caは、図25に示す第10実施例のサンプリング部820aおよび820cに対応し、また、本第14実施例におけるサンプリング部の一部（サンプリング部820bおよび820dの一方の差動増幅部）を纏めた回路820baおよび820daは、図25に示す第10実施例のサンプリング部820bおよび820dに対応する。なお、図31の回路と図25の回路とでは、出力（サンプリング部の出力）を取り出すノードおよび制御信号（クロック信号 $\phi 0 \sim \phi 3$ ）の供給個所等が異なっているが実質的には同様のものである。

【0110】

さらに、本第14実施例は、第1の（一方の）差動増幅部820aa, 820ba, 820ca, 820daに対して、第2の（他方の）差動増幅部820ab, 820bb, 820cb, 820dbが設けられている。これら第2の差動増幅部820ab, 820bb, 820cb, 820dbは全て同様の構成とされ、第1の差動増幅部820aa, 820ba, 820ca, 820daに対応した差動対トランジスタ（nMOSトランジスタ）823', 824' およびスイッチ（トランジスタ）8251' ~ 8253' を備えている。

【0111】

図31および図32に示されるように、本第14実施例のレシーバ回路においては、デューティ比が50%の四相クロック信号 $\phi 0 \sim \phi 3$ を使用して4-way動作を行うようになっている。

【0112】

具体的に、例えば、サンプリング部820a（第1の差動増幅部820aaおよび第2の差動増幅部820ab）において、第1の差動増幅部820aaの差動対トランジスタ823, 824は、クロック信号 $\phi 0$ および $\phi 3$ が両方とも高レベル『H』になる期間だけスイッチ（トランジスタ）8251, 8252がオンして入力信号（DATA, DATAx）サンプリングを行い、また、第2の差動増幅部820abの差動対トランジスタ823', 824' は、クロック信号 $\phi 3$ および $\phi 2$ が両方とも高レベル『H』になる期間だけトランジスタ8251

’ , 8 2 5 2’ がオンしてサンプリングを行うようになっている。すなわち、差動対トランジスタ（サンプリング回路）8 2 3’ , 8 2 4’ は、差動対トランジスタ8 2 3, 8 2 4がサンプリングするビットの次のビットをサンプリングし、それらが足し合わされた信号が出力 V_{s0+} , V_{s0-} として出力され、判定回路により判定されるようになっている。このように、本第14実施例では、2つの差動増幅部（8 2 0 a a, 8 2 0 a b ; 8 2 0 b a, 8 2 0 b b ; 8 2 0 c a, 8 2 0 c b ; 8 2 0 d a, 8 2 0 d b）により出力レベルを調整して信号伝送路特性の補償（符号間干渉の削減）を行うようになっている。

【 0 1 1 3 】

ここで、例えば、第1の差動増幅部8 2 0 a a, 8 2 0 b a, 8 2 0 c a, 8 2 0 d aの出力レベルの調整は、電流源8 4 3 1, 8 4 3 2を流れる電流を制御することで行うことができる。また、電流源8 4 4 1, 8 4 4 2を流れる電流を制御して第2の差動増幅部8 2 0 a b, 8 2 0 b b, 8 2 0 c b, 8 2 0 d bの出力レベルの調整を行うこともできるが、通常、電流源8 4 3 1, 8 4 3 2を流れる電流を制御して第1の差動増幅部の出力レベルを調整すれば十分である。

【 0 1 1 4 】

以上説明したように、本発明のレシーバ回路によれば、高速信号の受信に問題となる伝送路特性から生ずる符号間干渉を無効化することができるため、従来よりも高い精度で高速な受信信号を判定することが可能になる。

【 0 1 1 5 】

（付記1） 入力信号をサンプリングするサンプリング回路と、
該サンプリング回路の出力をバッファするバッファ回路と、
該バッファ回路の出力の判定を行う判定回路と、
前記サンプリングを行うタイミングまで、前記バッファ回路の出力の入力信号依存性を小さくしておくバッファ制御回路とを備えることを特徴とするレシーバ回路。

【 0 1 1 6 】

（付記2） 入力信号をサンプリングするサンプリング回路と、
該サンプリング回路の出力をバッファするバッファ回路と、

該バッファ回路の出力の判定を行う判定回路と、

前記サンプリングを行うタイミングまで、前記バッファ回路の出力を略一定値とするバッファ制御回路とを備えることを特徴とするレシーバ回路。

【 0 1 1 7 】

（付記 3） 付記 1 または 2 に記載のレシーバ回路において、前記バッファ制御回路は、前記バッファ回路と電源線との間に配置されたスイッチであることを特徴とするレシーバ回路。

【 0 1 1 8 】

（付記 4） 付記 1 または 2 に記載のレシーバ回路において、前記バッファ制御回路は、前記バッファ回路の出力と負荷デバイスとの間に配置されたスイッチであることを特徴とするレシーバ回路。

【 0 1 1 9 】

（付記 5） 付記 1 または 2 に記載のレシーバ回路において、さらに、前記サンプリング回路が入力信号のサンプリングを行う前に、前記判定回路の入力をプリチャージするプリチャージ回路を備えることを特徴とするレシーバ回路。

【 0 1 2 0 】

（付記 6） 付記 1 または 2 に記載のレシーバ回路において、前記サンプリング回路は、一連のビット列をサンプルする複数のサンプルスイッチを備え、且つ、前記バッファ回路は、該各サンプルスイッチに対応して複数設けられていることを特徴とするレシーバ回路。

【 0 1 2 1 】

（付記 7） 付記 1 または 2 に記載のレシーバ回路において、前記バッファ回路は、複数のバッファ回路ユニットを備え、該各バッファ回路ユニットの出力の大きさを調整することで信号伝送路の特性を補償するようにしたことを特徴とするレシーバ回路。

【 0 1 2 2 】

（付記 8） 付記 1 または 2 に記載のレシーバ回路において、前記バッファ回路は入力電圧を電流に変換するトランスコンダクタであり、前記バッファ制御回路は、前記サンプリングが行われるタイミングまで、該トランスコンダクタの電

流を小さくしておく電流源スイッチであることを特徴とするレシーバ回路。

【 0 1 2 3 】

(付記 9) 付記 1 または 2 に記載のレシーバ回路において、前記バッファ回路は、前記サンプリング回路が入力信号のサンプリングを行う前に当該バッファ回路に微小電流を流しておく微小電流回路を備えることを特徴とするレシーバ回路。

【 0 1 2 4 】

(付記 1 0) 付記 1 または 2 に記載のレシーバ回路において、さらに、前記バッファ回路の出力に、前記サンプリング回路が入力信号のサンプリングを行うときに当該バッファ回路の出力を略一定の値にするスイッチ回路を備えることを特徴とするレシーバ回路。

【 0 1 2 5 】

(付記 1 1) ドライバ回路と、信号伝送手段と、該信号伝送手段を介して送られる該ドライバ回路の出力を受け取るレシーバ回路とを備える信号伝送システムであって、該レシーバ回路は、

入力信号をサンプリングするサンプリング回路と、

該サンプリング回路の出力をバッファするバッファ回路と、

該バッファ回路の出力の判定を行う判定回路と、

前記サンプリングを行うタイミングまで、前記バッファ回路の出力の入力信号依存性を小さくしておくバッファ制御回路とを備えることを特徴とする信号伝送システム。

【 0 1 2 6 】

(付記 1 2) ドライバ回路と、信号伝送手段と、該信号伝送手段を介して送られる該ドライバ回路の出力を受け取るレシーバ回路とを備える信号伝送システムであって、該レシーバ回路は、

入力信号をサンプリングするサンプリング回路と、

該サンプリング回路の出力をバッファするバッファ回路と、

該バッファ回路の出力の判定を行う判定回路と、

前記サンプリングを行うタイミングまで、前記バッファ回路の出力を略一定値

とするバッファ制御回路とを備えることを特徴とする信号伝送システム。

【 0 1 2 7 】

(付記 1 3) 入力信号をサンプリングするサンプリング回路と、

該サンプリング回路の出力の判定を行う判定回路と、

前記サンプリング回路の入力から出力までのトランスコンダクタンスを動的に変化させて、該サンプリング回路の出力の入力信号依存性をサンプリング時点以外は十分小さくするサンプリング制御回路とを備えることを特徴とするレシーバ回路。

【 0 1 2 8 】

(付記 1 4) 付記 1 3 に記載のレシーバ回路において、前記サンプリング制御回路は、前記サンプリング回路の入力から出力までのトランスコンダクタンスの変化をスイッチングにより行うことを特徴とするレシーバ回路。

【 0 1 2 9 】

(付記 1 5) 付記 1 4 に記載のレシーバ回路において、前記トランスコンダクタンスのスイッチングは、差動対トランジスタのテイル電流のスイッチングにより行うことを特徴とするレシーバ回路。

【 0 1 3 0 】

(付記 1 6) 付記 1 5 に記載のレシーバ回路において、前記テイル電流のスイッチングは、電流路を、該当するトランスコンダクタのテイル電流側の経路とそれ以外の経路との間で切り替える電流切り替えにより行うことを特徴とするレシーバ回路。

【 0 1 3 1 】

(付記 1 7) 付記 1 6 に記載のレシーバ回路において、前記電流切り替えを、前記差動対トランジスタのドレイン電流を切り替えるトランジスタスイッチにより行うことを特徴とするレシーバ回路。

【 0 1 3 2 】

(付記 1 8) 付記 1 6 に記載のレシーバ回路において、前記電流切り替えを、前記トランスコンダクタの入力トランジスタのソースに対して該入力トランジスタがオフになる方向の電流を注入することにより行うことを特徴とするレシー

バ回路。

【 0 1 3 3 】

(付記 1 9) 付記 1 6 に記載のレシーバ回路において、前記電流切り替えを、前記テイル電流が流れる期間が多相のクロック信号の重なり部分で決定されるように、並列または直列接続のトランジスタによるスイッチングで行うことを特徴とするレシーバ回路。

【 0 1 3 4 】

(付記 2 0) 付記 1 6 に記載のレシーバ回路において、1 つの前記判定回路に対して異なるビットセルのサンプリングを行う複数の前記サンプリング回路を設け、該複数のサンプリング回路の出力の重み付き和を判定することを特徴とするレシーバ回路。

【 0 1 3 5 】

(付記 2 1) インターリーブ動作する複数のレシーバユニットを備えるレシーバ回路装置であって、付記 1 ～ 1 0 および 1 3 ～ 2 0 のいずれか 1 項に記載のレシーバ回路を該各レシーバユニットとして構成するようにしたことを特徴とするレシーバ回路装置。

【 0 1 3 6 】

(付記 2 2) ドライバ回路と、信号伝送手段と、該信号伝送手段を介して送られる該ドライバ回路の出力を受け取るレシーバ回路とを備える信号伝送システムであって、該レシーバ回路は、

入力信号をサンプリングするサンプリング回路と、

該サンプリング回路の出力の判定を行う判定回路と、

前記サンプリング回路の入力から出力までのトランスコンダクタンスを動的に変化させて、該サンプリング回路の出力の入力信号依存性をサンプリング時点以外は十分小さくするサンプリング制御回路とを備えることを特徴とする信号伝送システム。

【 0 1 3 7 】

【発明の効果】

以上、詳述したように、本発明によれば、符号間干渉を取り除き、より正確な

データ判定を行うことのできるレシーバ回路を提供することができる。

【図面の簡単な説明】

【図 1】

信号伝送システムの全体構成を模式的に示すブロック図である。

【図 2】

図 1 におけるレシーバ回路の一構成例を示すブロック図である。

【図 3】

従来のレシーバ回路におけるレシーバユニットの一例を示すブロック回路図である。

【図 4】

従来のレシーバ回路における課題を説明するための図である。

【図 5】

本発明に係るレシーバ回路の第 1 の形態における原理構成の一例を示すブロック回路図である。

【図 6】

図 5 のレシーバ回路の動作を説明するための図である。

【図 7】

本発明のレシーバ回路の第 1 実施例を示すブロック図である。

【図 8】

本発明のレシーバ回路の第 2 実施例を示すブロック図である。

【図 9】

本発明のレシーバ回路の第 3 実施例を示すブロック図である。

【図 1 0】

図 9 のレシーバ回路におけるイコライザ回路の一例を示す回路図である。

【図 1 1】

図 9 のレシーバ回路における判定回路の一例を示す回路図である。

【図 1 2】

図 9 のレシーバ回路の動作を説明するためのタイミング図である。

【図 1 3】

本発明のレシーバ回路の第 4 実施例を示すブロック図である。

【図 1 4】

図 1 3 のレシーバ回路の動作を説明するための図である。

【図 1 5】

図 1 3 のレシーバ回路の動作を説明するためのタイミング図である。

【図 1 6】

本発明に係るレシーバ回路の第 2 の形態における原理構成の一例を示すブロック回路図である。

【図 1 7】

図 1 6 のレシーバ回路の動作を説明するための図である。

【図 1 8】

本発明のレシーバ回路の第 5 実施例を示す回路図である。

【図 1 9】

図 1 8 のレシーバ回路におけるアナログ電源電圧を生成する回路の一例を示す図である。

【図 2 0】

本発明のレシーバ回路の第 6 実施例を示す回路図である。

【図 2 1】

本発明のレシーバ回路の第 7 実施例を示す回路図である。

【図 2 2】

本発明のレシーバ回路の第 8 実施例を示す回路図である。

【図 2 3】

本発明のレシーバ回路の第 9 実施例を示す回路図である。

【図 2 4】

図 2 3 に示すレシーバ回路の変形例を示す回路図である。

【図 2 5】

本発明のレシーバ回路の第 1 0 実施例を示す回路図である。

【図 2 6】

本発明のレシーバ回路の第 1 1 実施例を示す回路図である。

【図 2 7】

本発明のレシーバ回路の第 1 2 実施例を示すブロック図である。

【図 2 8】

図 2 7 のレシーバ回路の動作を説明するためのタイミング図である。

【図 2 9】

本発明のレシーバ回路の第 1 3 実施例を示すブロック図である。

【図 3 0】

図 2 9 のレシーバ回路の動作を説明するためのタイミング図である。

【図 3 1】

本発明のレシーバ回路の第 1 4 実施例を示す回路図である。

【図 3 2】

図 3 1 のレシーバ回路の動作を説明するためのタイミング図である。

【符号の説明】

1 … ドライバ回路（送信回路）

2 … 伝送線路（信号伝送路）

3 … レシーバ回路（受信回路）

3 1 ~ 3 4 ; 8 0 a , 8 0 b … レシーバユニット

3 1 1 , 3 1 2 ; 4 1 1 , 4 1 2 ; 5 1 0 ~ 5 1 3 ; 6 1 1 , 6 1 2 … サンプル
スイッチ

3 2 0 ; 4 2 0 ; 5 2 0 ~ 5 2 3 ; 6 2 1 , 6 2 2 … バッファ回路

3 3 0 ; 4 3 0 ; 5 3 0 ~ 5 3 3 ; 6 3 1 , 6 3 2 … 判定回路

4 4 0 ; 6 1 1 0 ; 6 1 4 0 … 電流源

6 4 1 , 6 4 2 … スイッチ回路（pMOS スイッチ）

6 1 0 ~ 6 1 3 … イコライザ回路

6 1 0 a , 6 1 0 b … 差動増幅部（トランスコンダクタ）

6 1 1 1 , 6 1 1 2 ; 6 1 4 1 , 6 1 4 2 … トランスファゲート

7 1 0 a , 7 1 1 a , 7 1 2 a , 7 1 3 a … 第 1 の差動増幅部

7 1 0 b , 7 1 1 b , 7 1 2 b , 7 1 3 b … 第 2 の差動増幅部

7 1 0 c , 7 1 1 c , 7 1 2 c , 7 1 3 c … スイッチ

7 3 0 ~ 7 3 3 …ラッチ (判定回路)

8 2 0 a, 8 2 0 b, 8 2 0 c, 8 2 0 d …サンプリング部

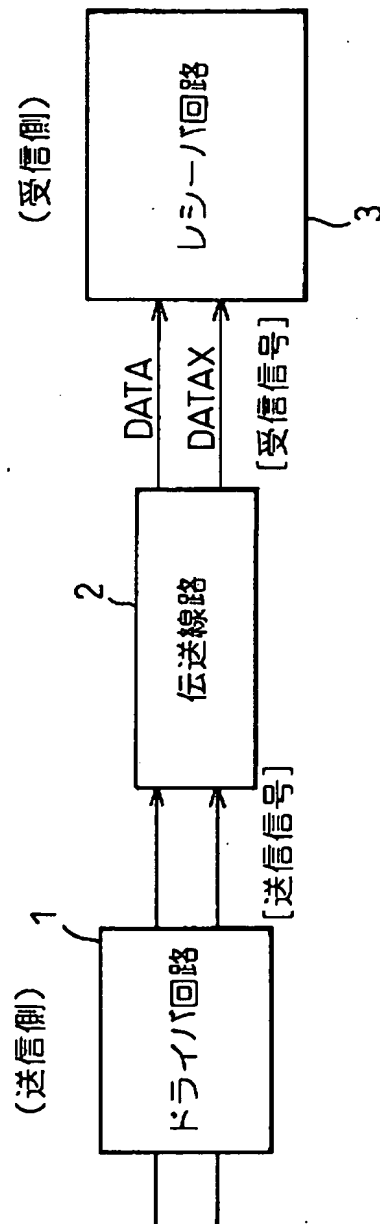
8 3 0 a, 8 3 0 b …判定回路

【書類名】 図面

【図 1】

図 1

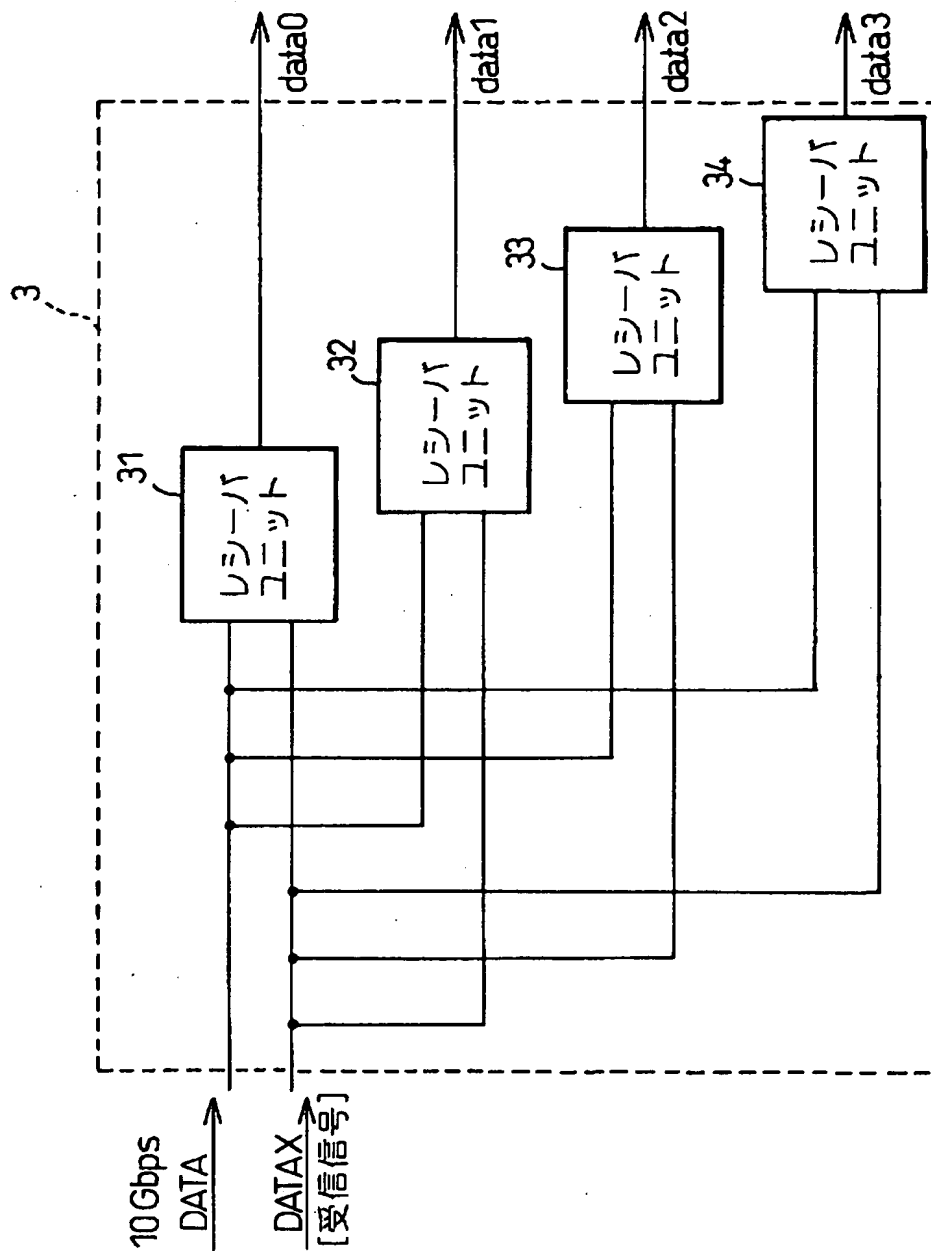
信号伝送システムの全体構成を模式的に示すブロック図



【図2】

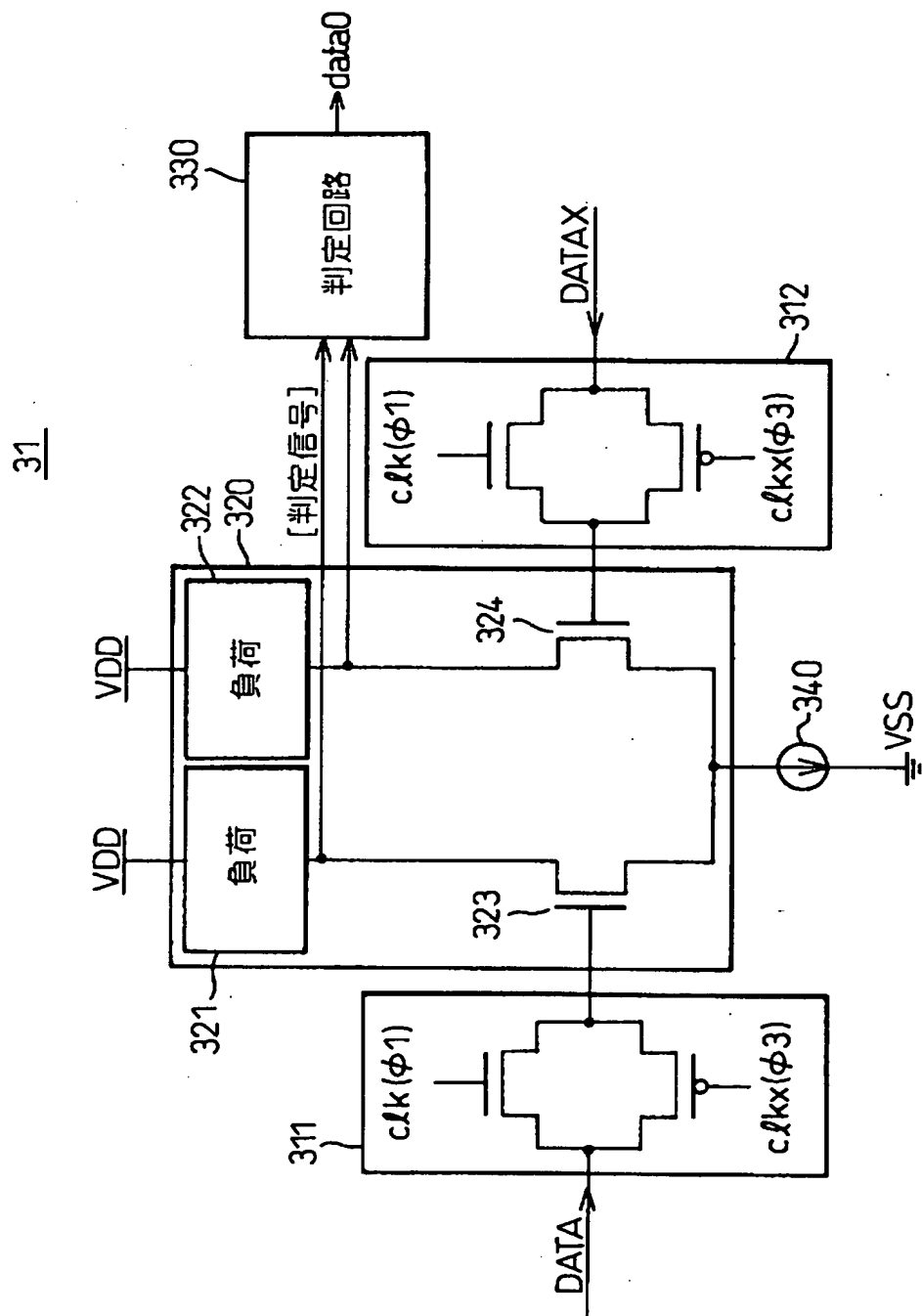
図2

図1におけるレシーバ回路の一構成例を示すブロック図



【図3】

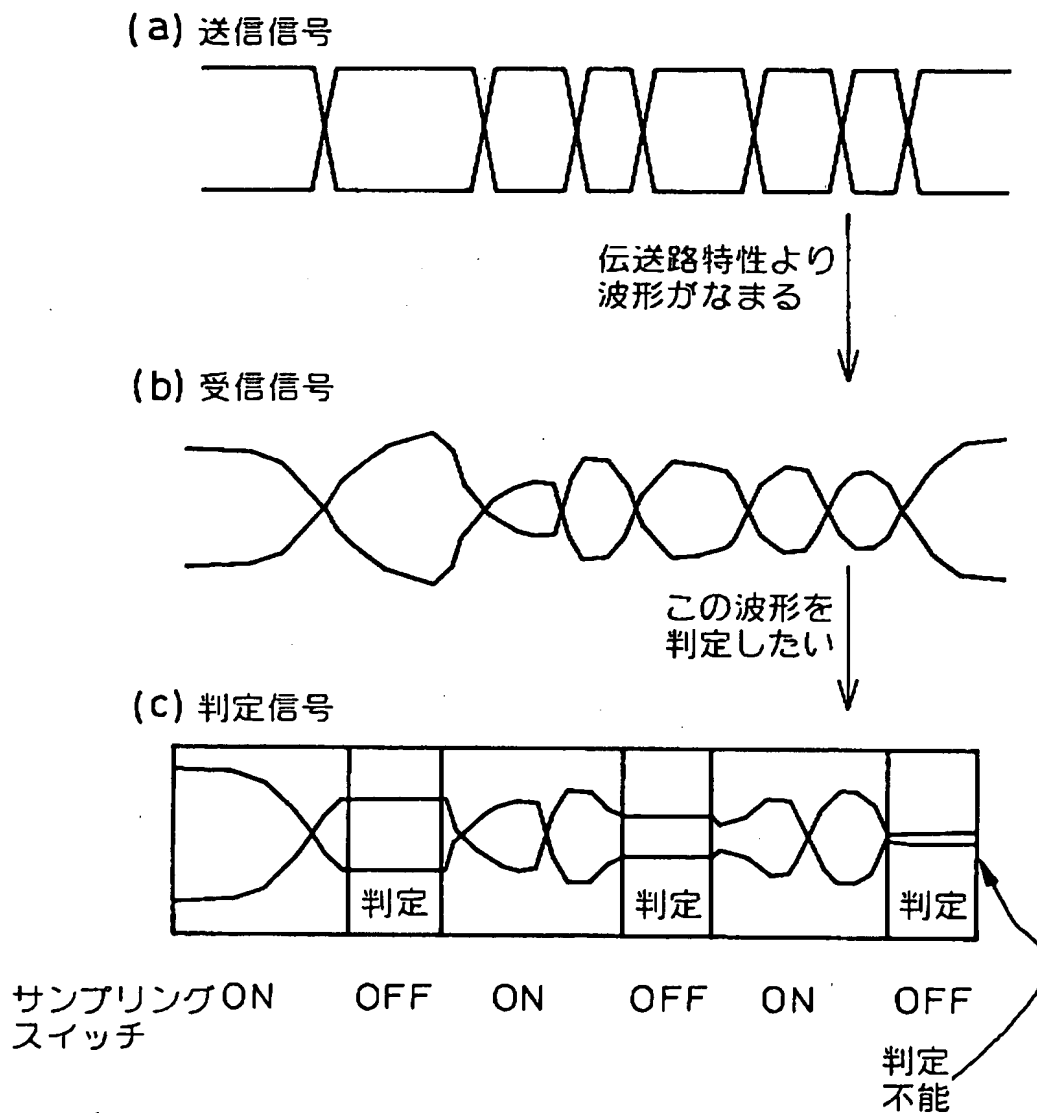
図3 従来のレシーバ回路におけるレシーバユニットの一例を示すブロック回路図



【図 4】

図 4

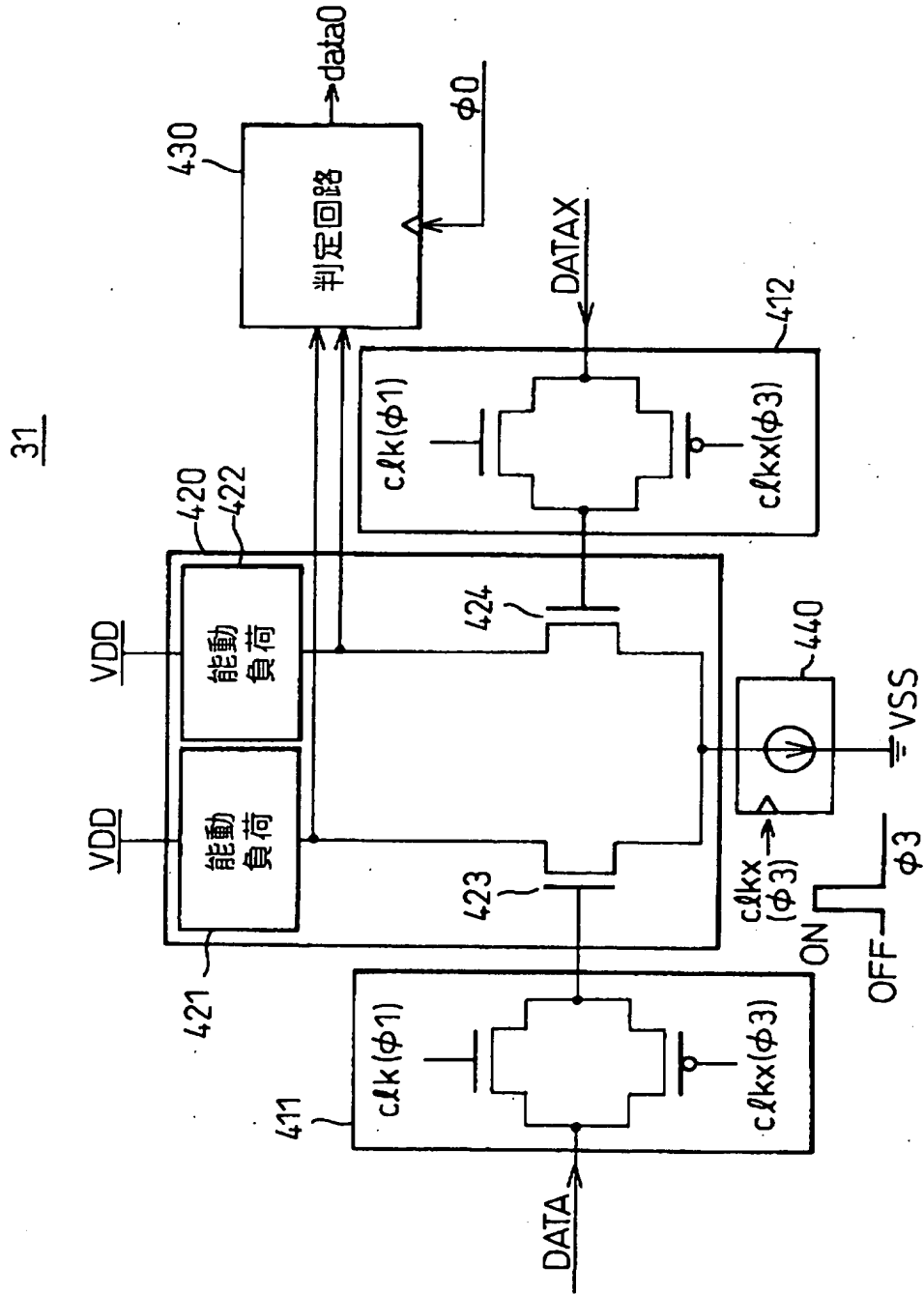
従来のレシーバ回路における課題を説明するための図



【図 5】

図 5

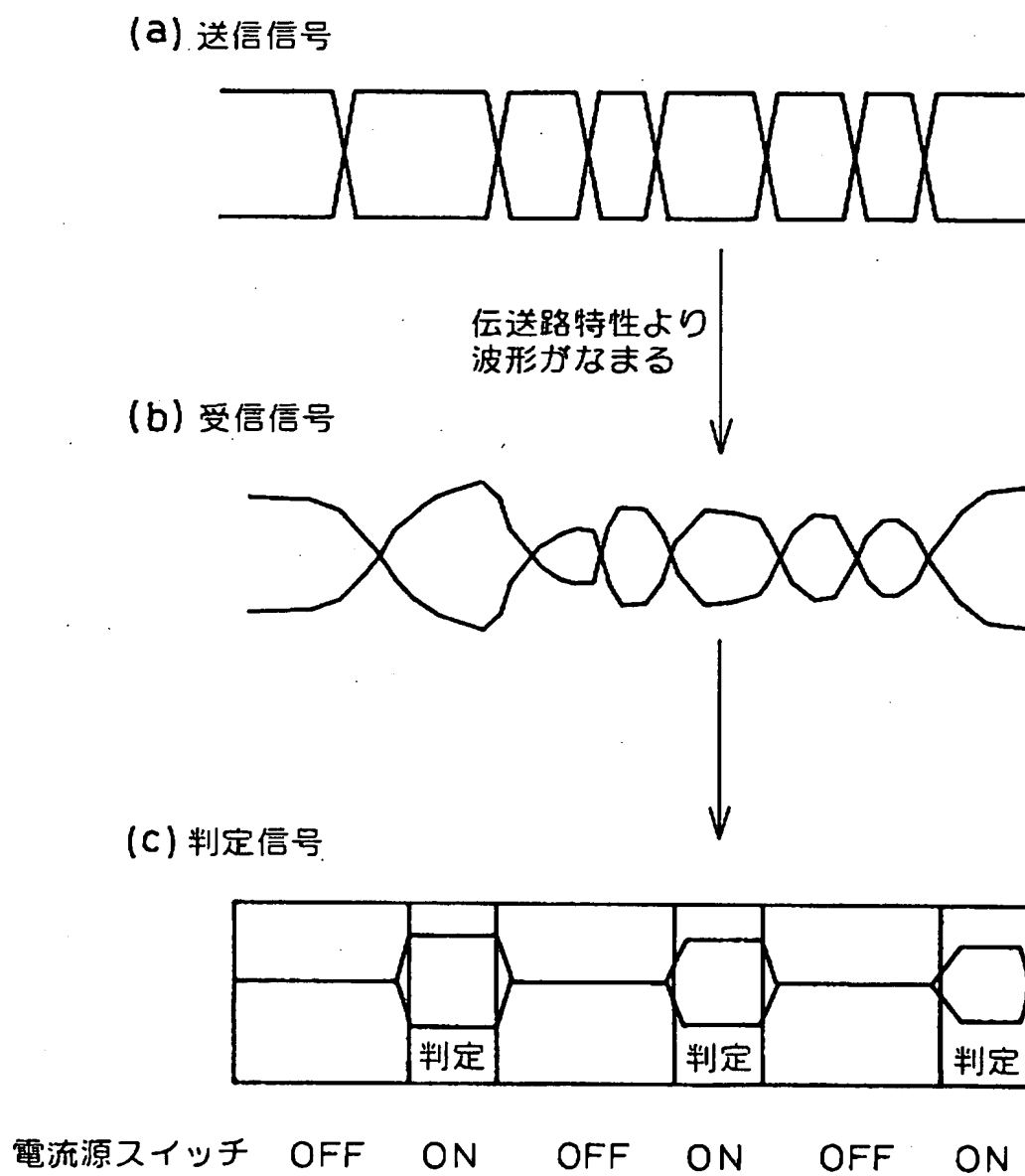
本発明に係るレシーバ回路の第1の形態における
原理構成の一例を示すブロック回路図



【図 6】

図 6

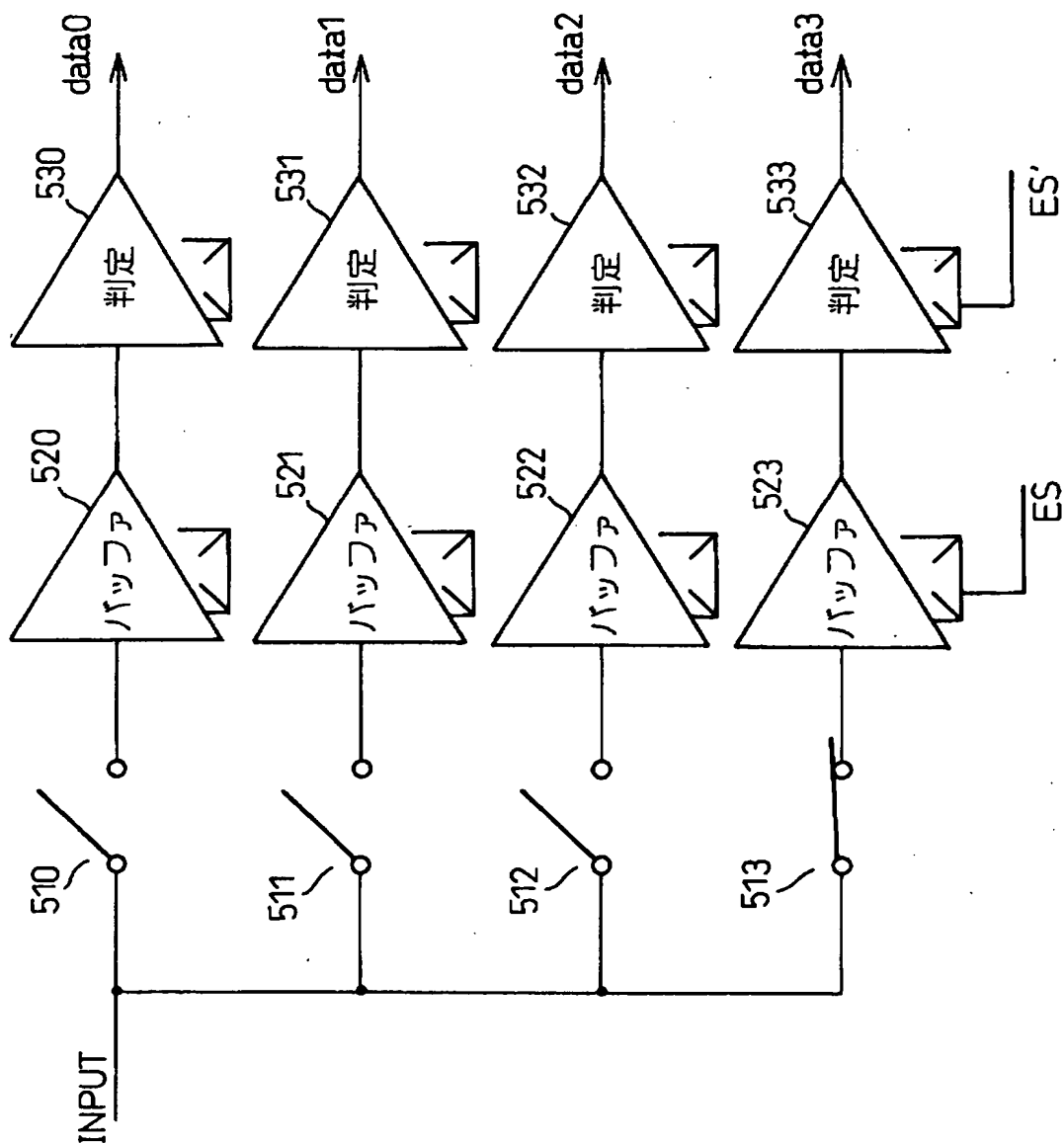
図 5 のレシーバ回路の動作を説明するための図



【図 7】

図 7

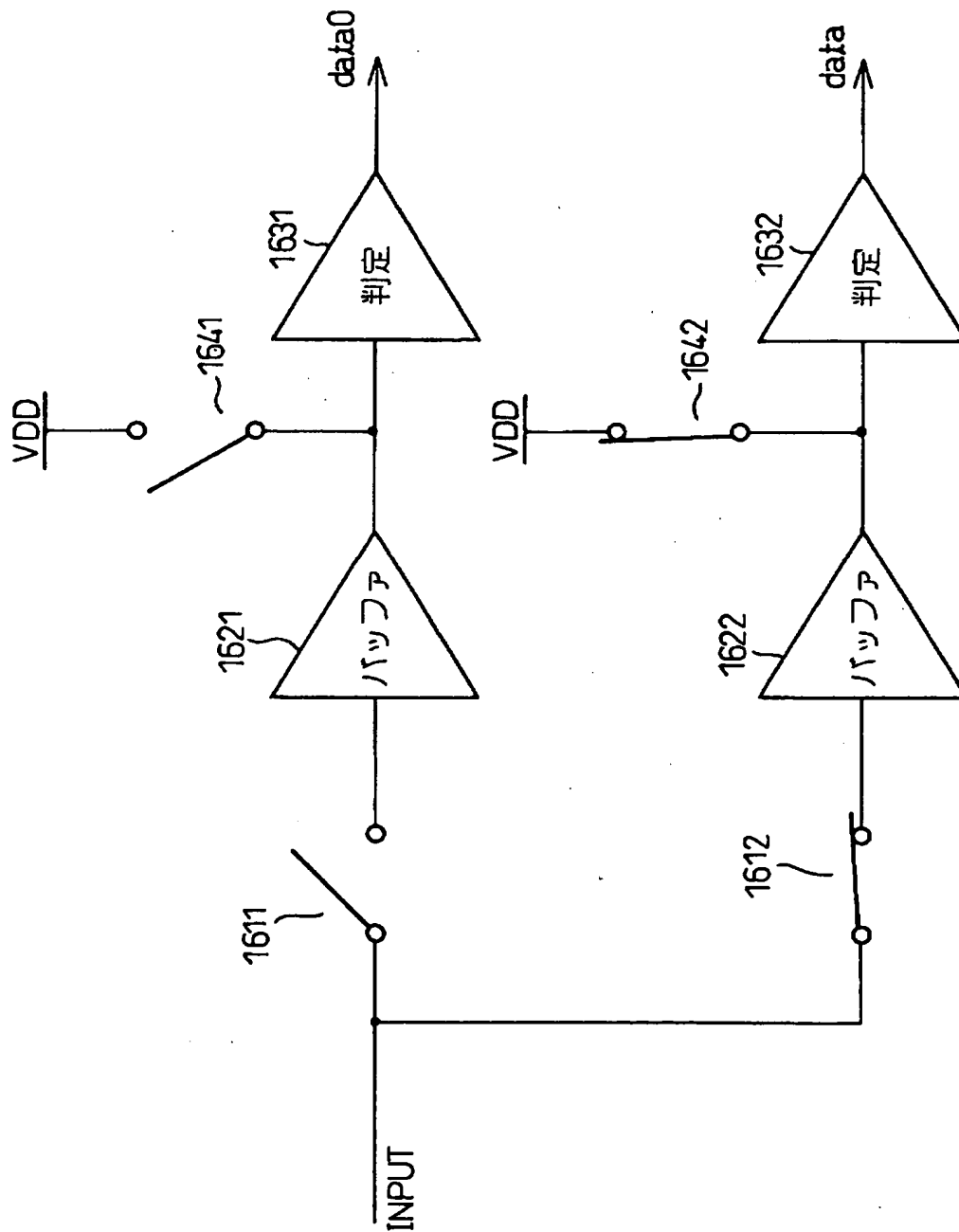
本発明のレシーバ回路の第 1 実施例を示すブロック図



【図 8】

図 8

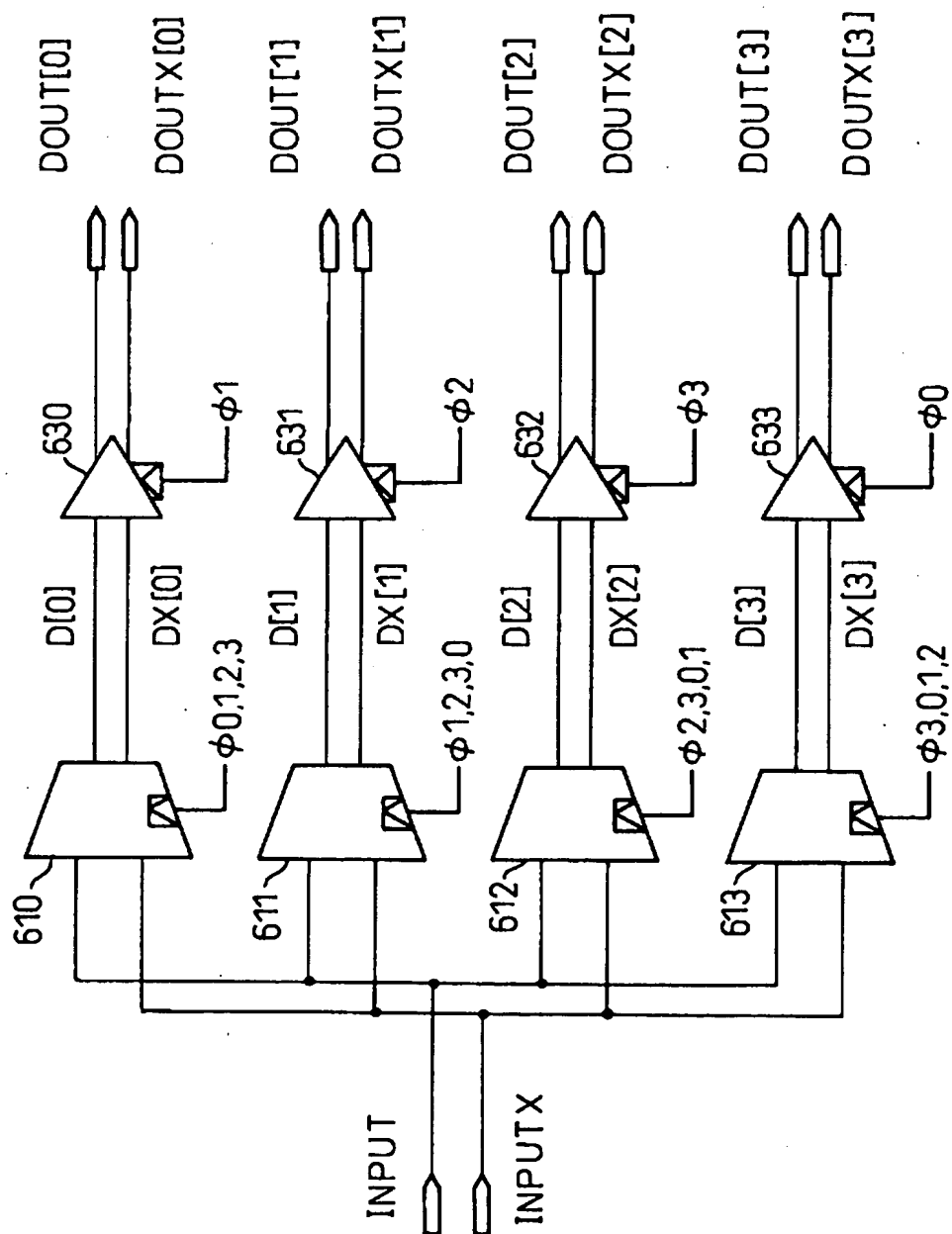
本発明のレシーバ回路の第 2 実施例を示すブロック図



【図 9】

図 9

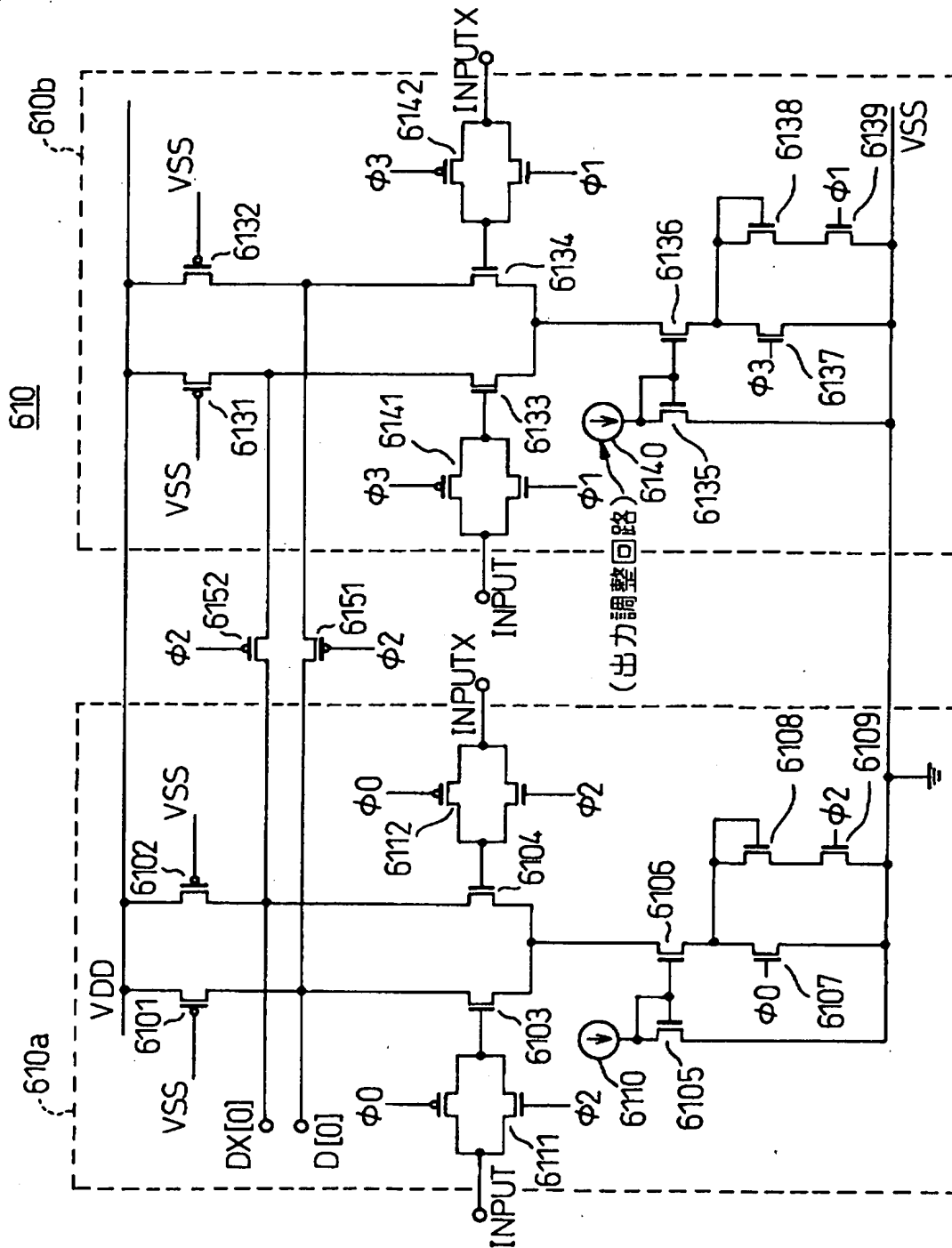
本発明のレシーバ回路の第 3 実施例を示すブロック図



【図10】

図 10

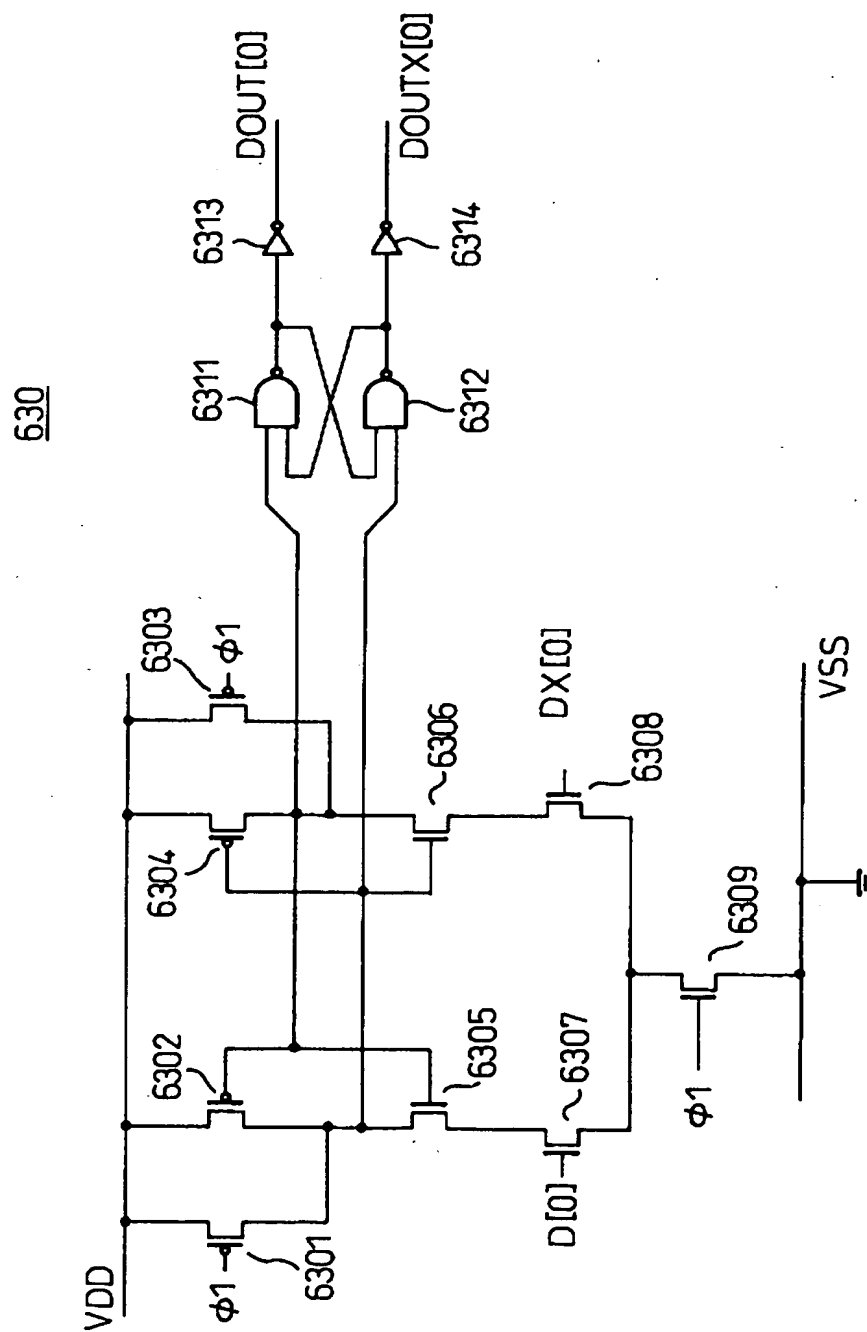
図9のレシーバ回路におけるイコライザ回路の一例を示す回路図



【図 1 1】

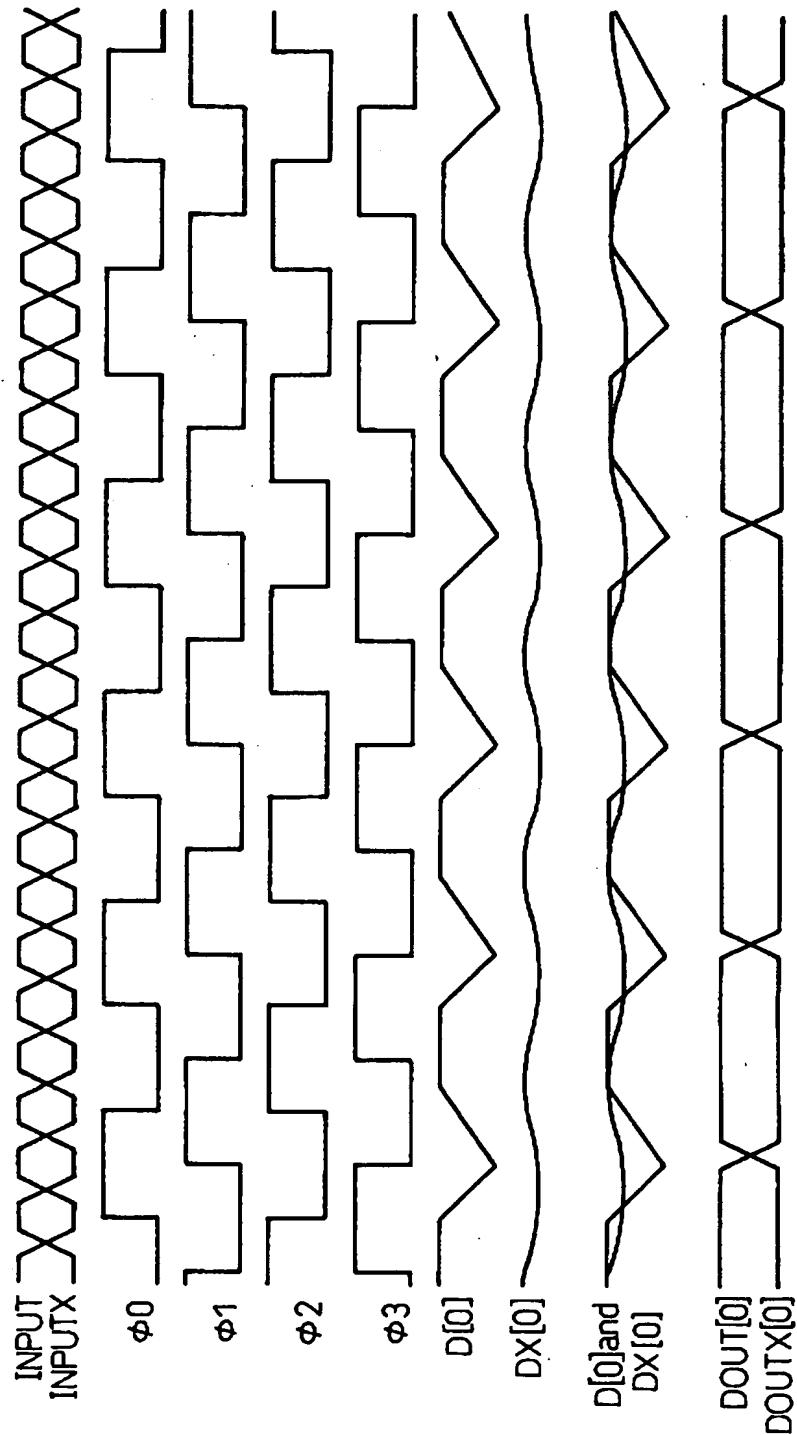
図 11

図 9 のレシーバ回路における判定回路の一例を示す回路図



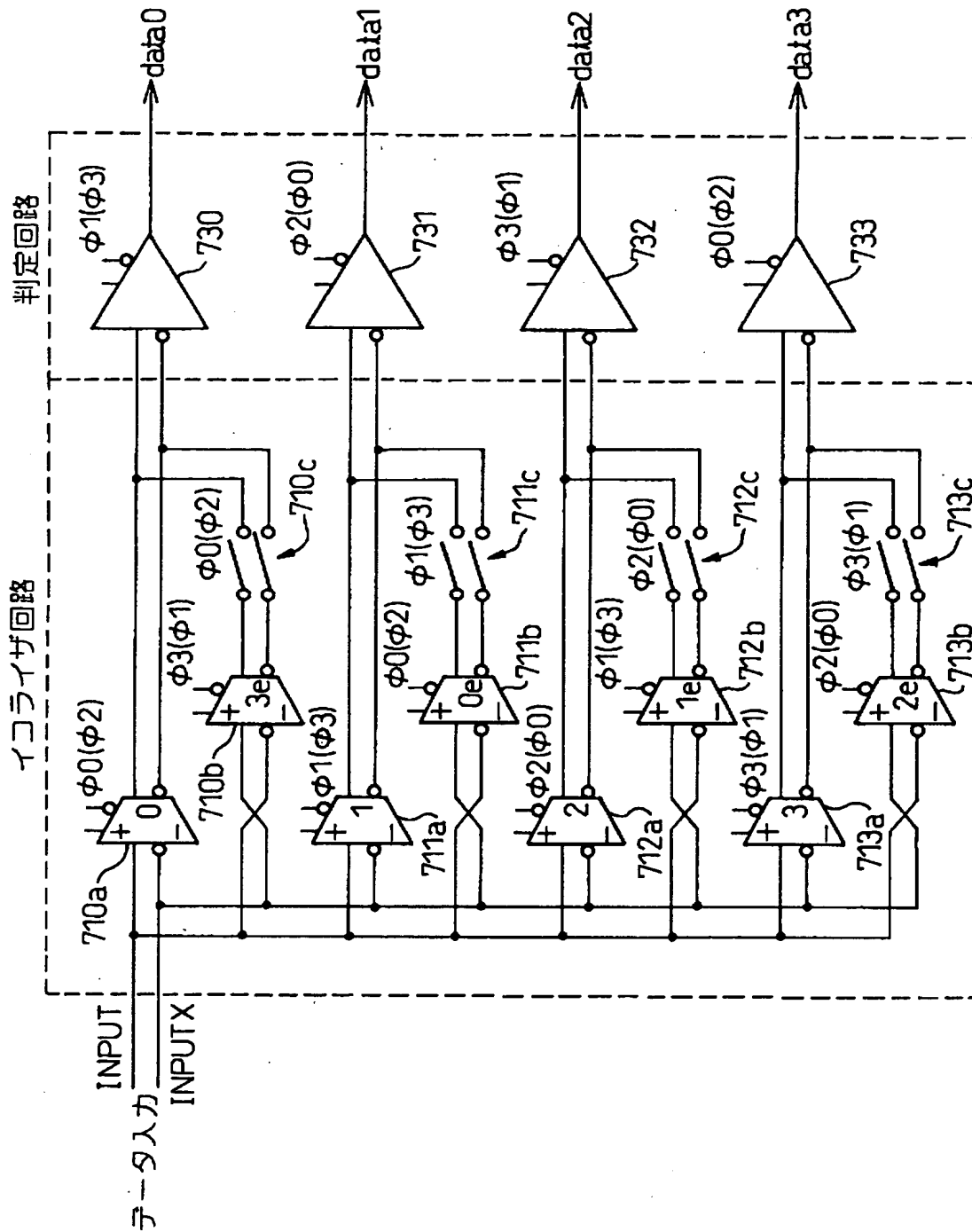
【図12】

図12 図9のレシーバ回路の動作を説明するためのタイミング図



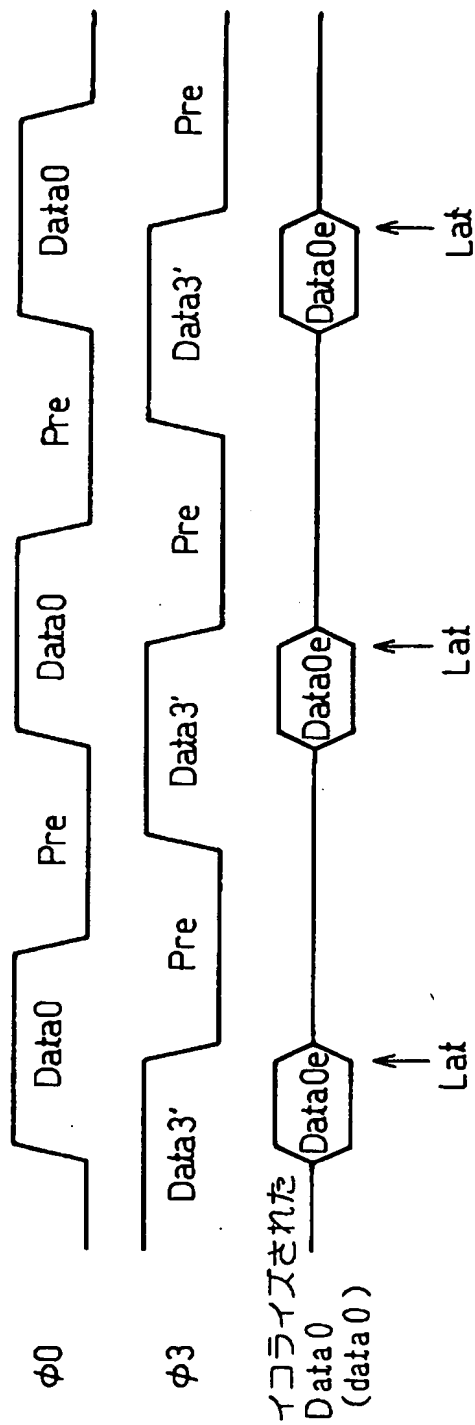
【図 1 3】

図 13 本発明のレシーバ回路の第 4 実施例を示すブロック図



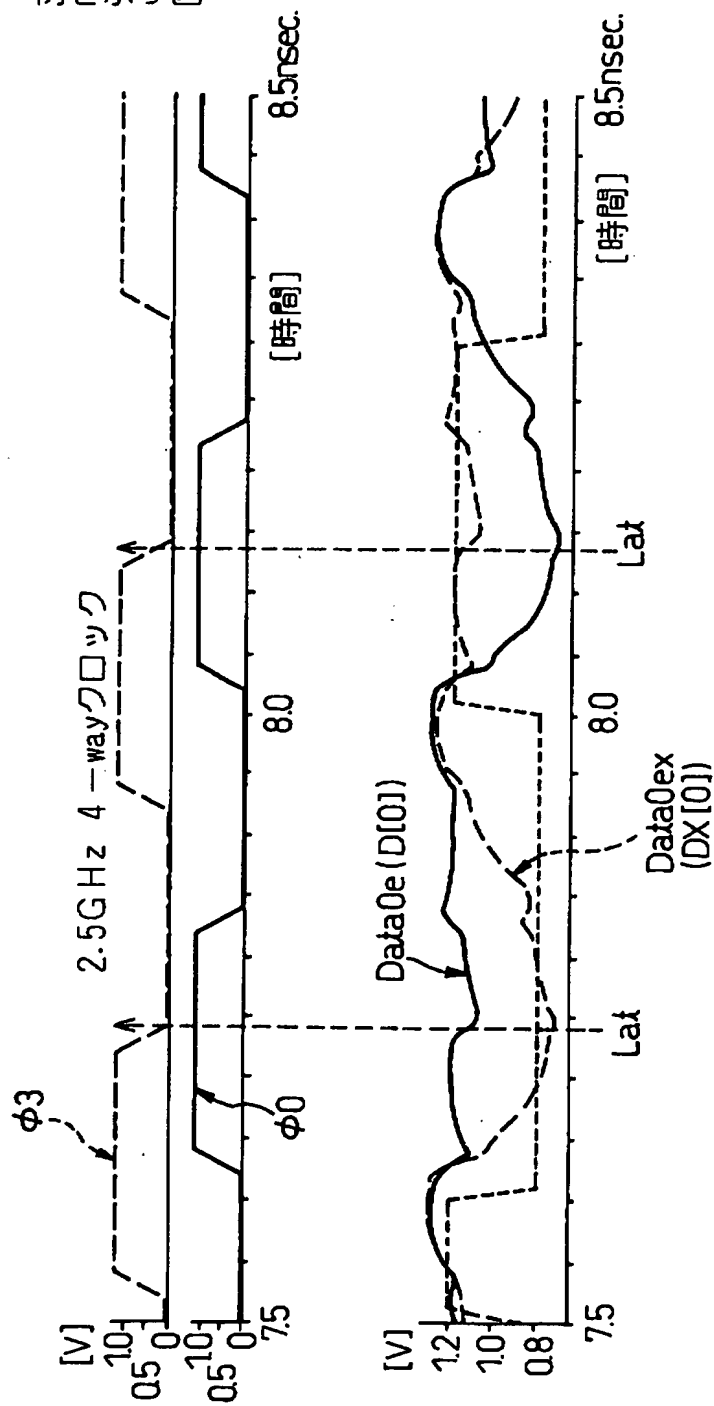
【図 1 4】

図 14 図13のレシーバ回路の動作を説明するための図



【図 15】

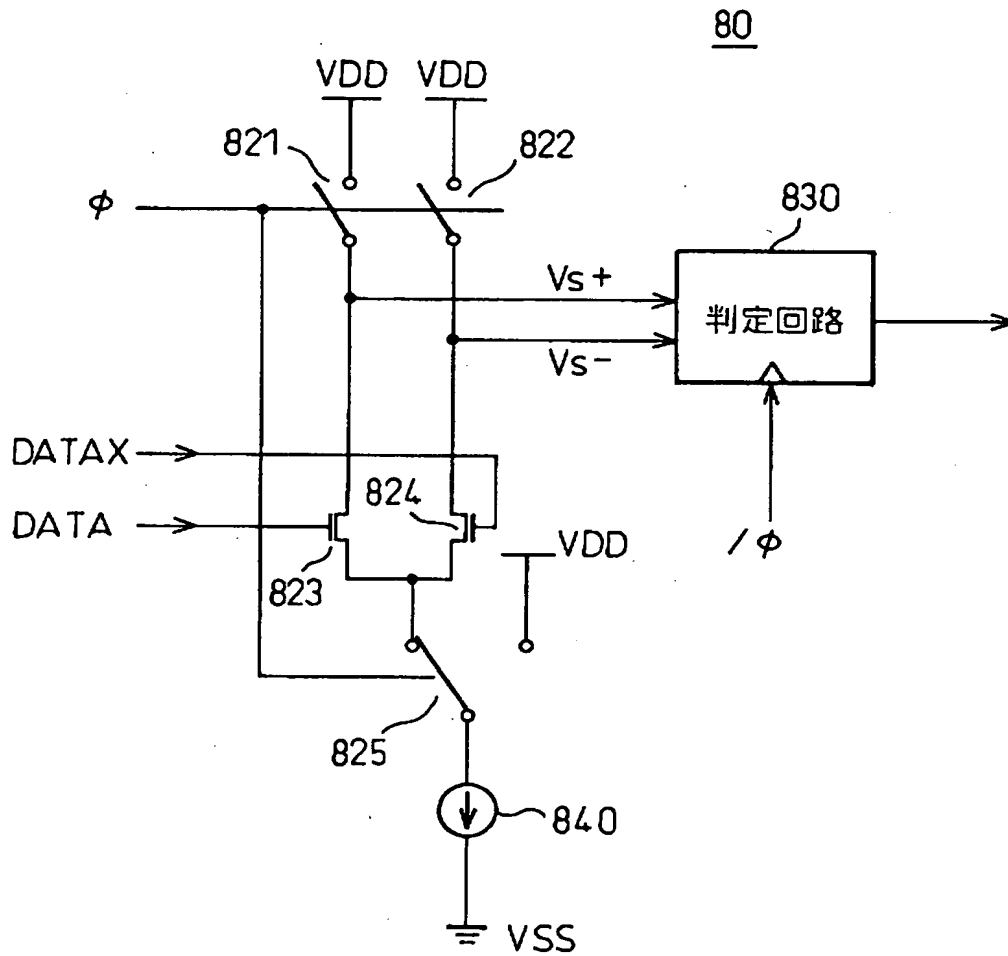
図 15 図13のレシーバ回路の動作を説明するための波形の一例を示す図



【図 1 6】

図 16

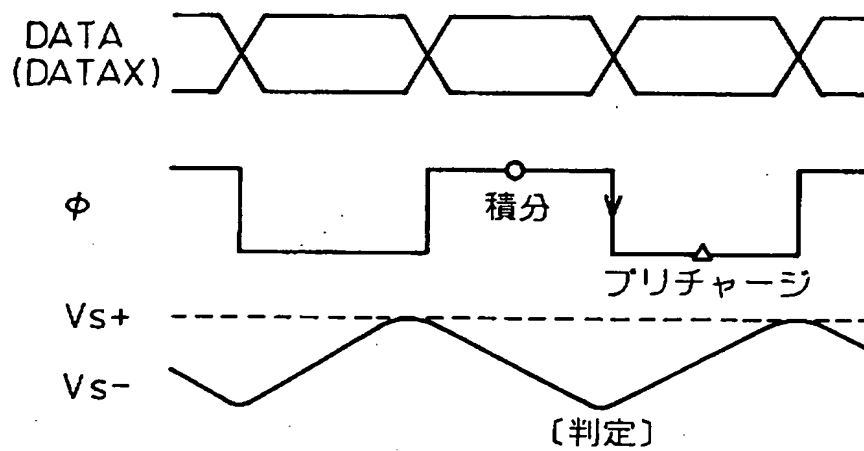
本発明に係るレシーバ回路の第 2 の形態における
原理構成の一例を示すブロック回路図



【図 1 7】

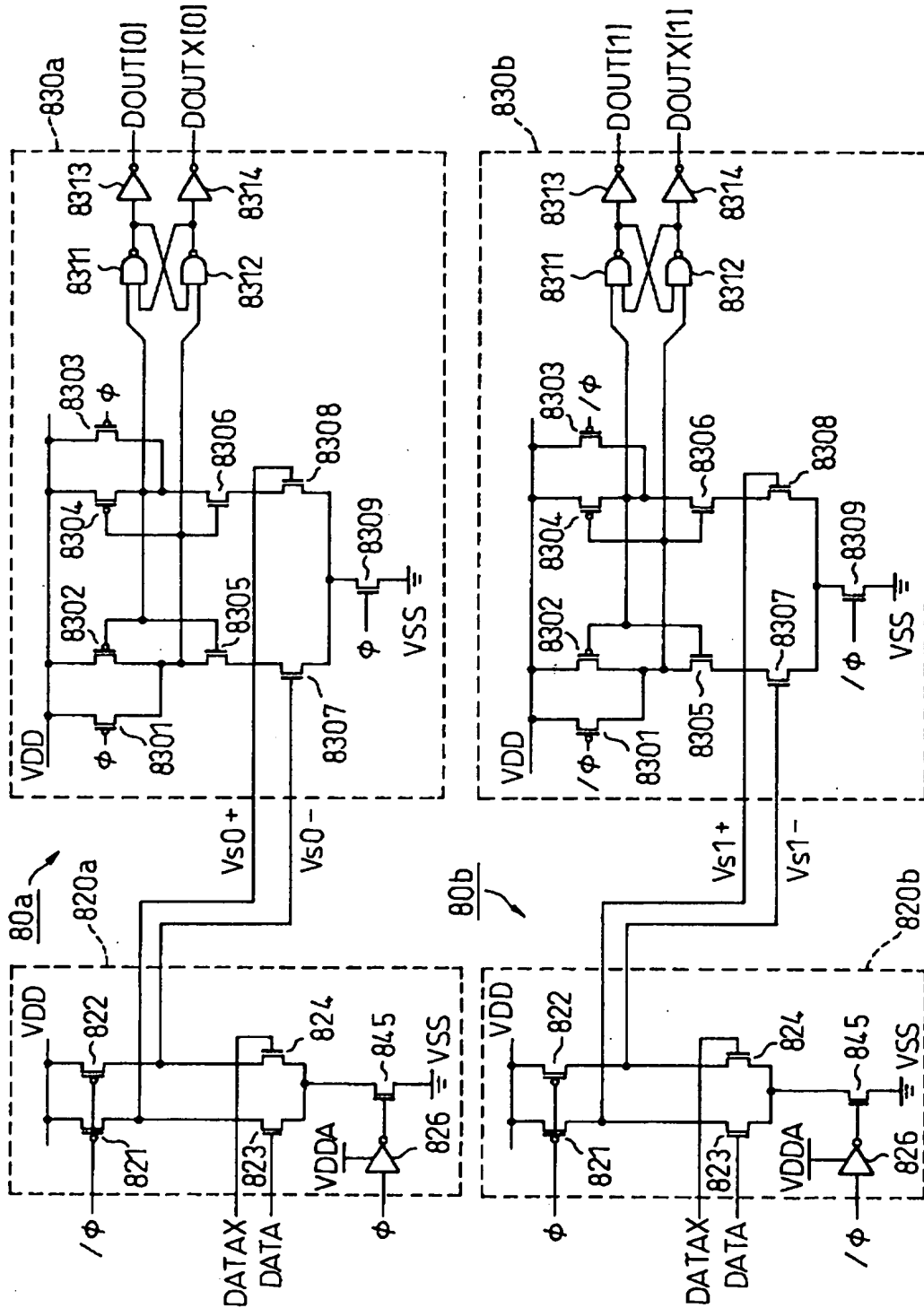
図 17

図16のレシーバ回路の動作を説明するための図



【図 1 8】

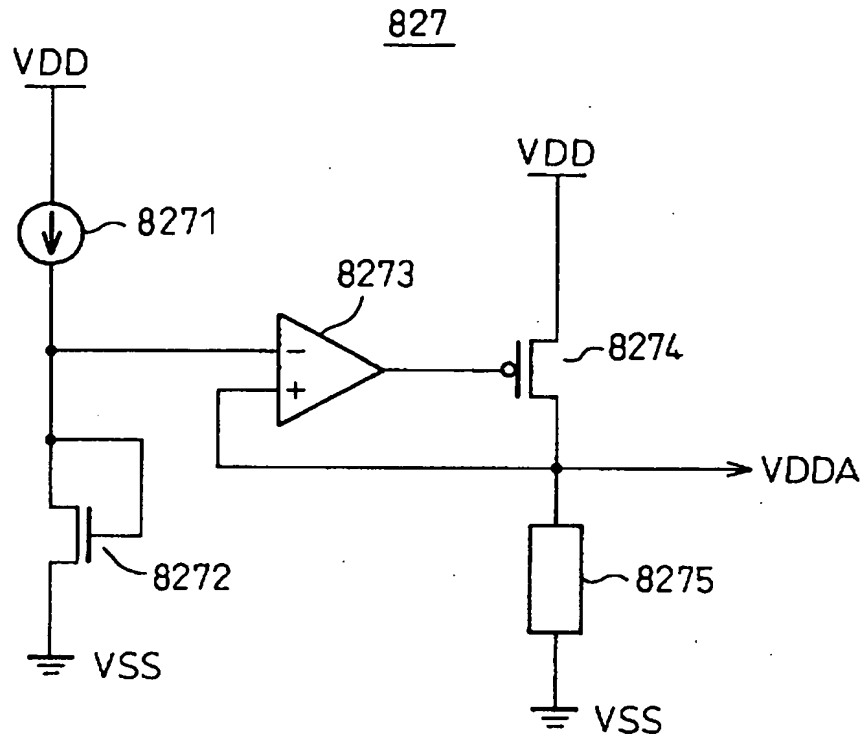
図 18 本発明のレシーバ回路の第 5 実施例を示す回路図



【図 1 9】

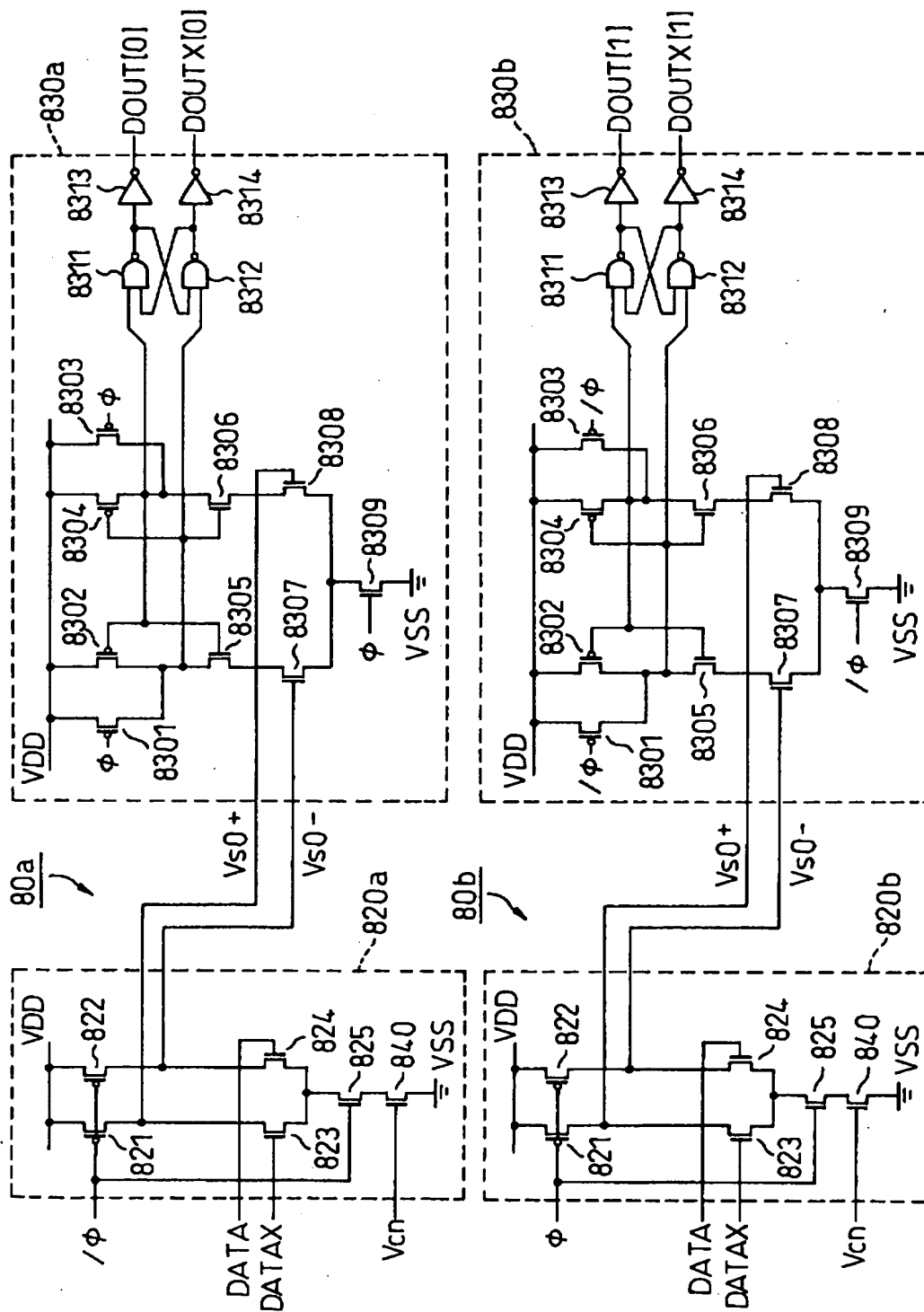
図 19

図18のレシーバ回路におけるアナログ電源電圧を生成する回路の一例を示す図



【図20】

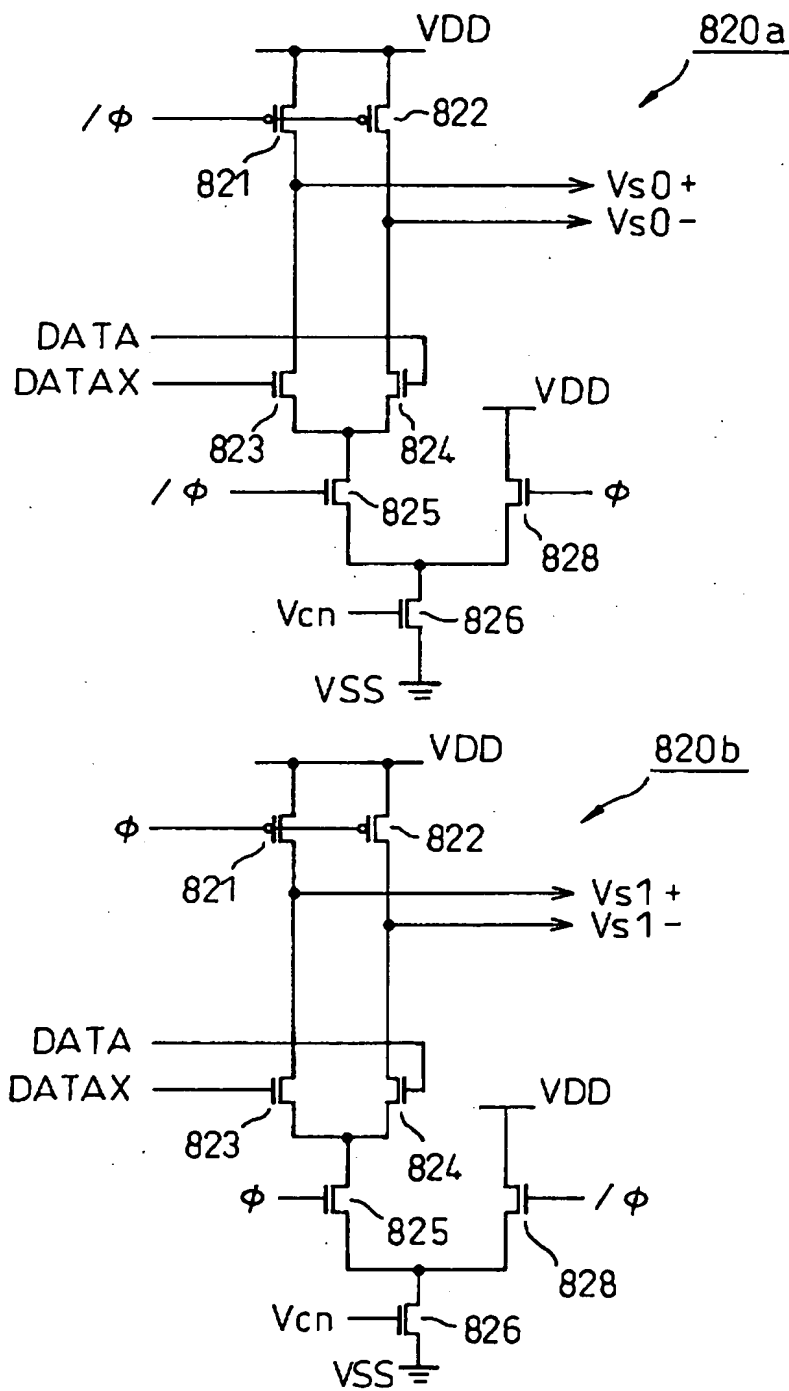
図 20 本発明のレシーバ回路の第6実施例を示す回路図



【図 2 1】

図 21

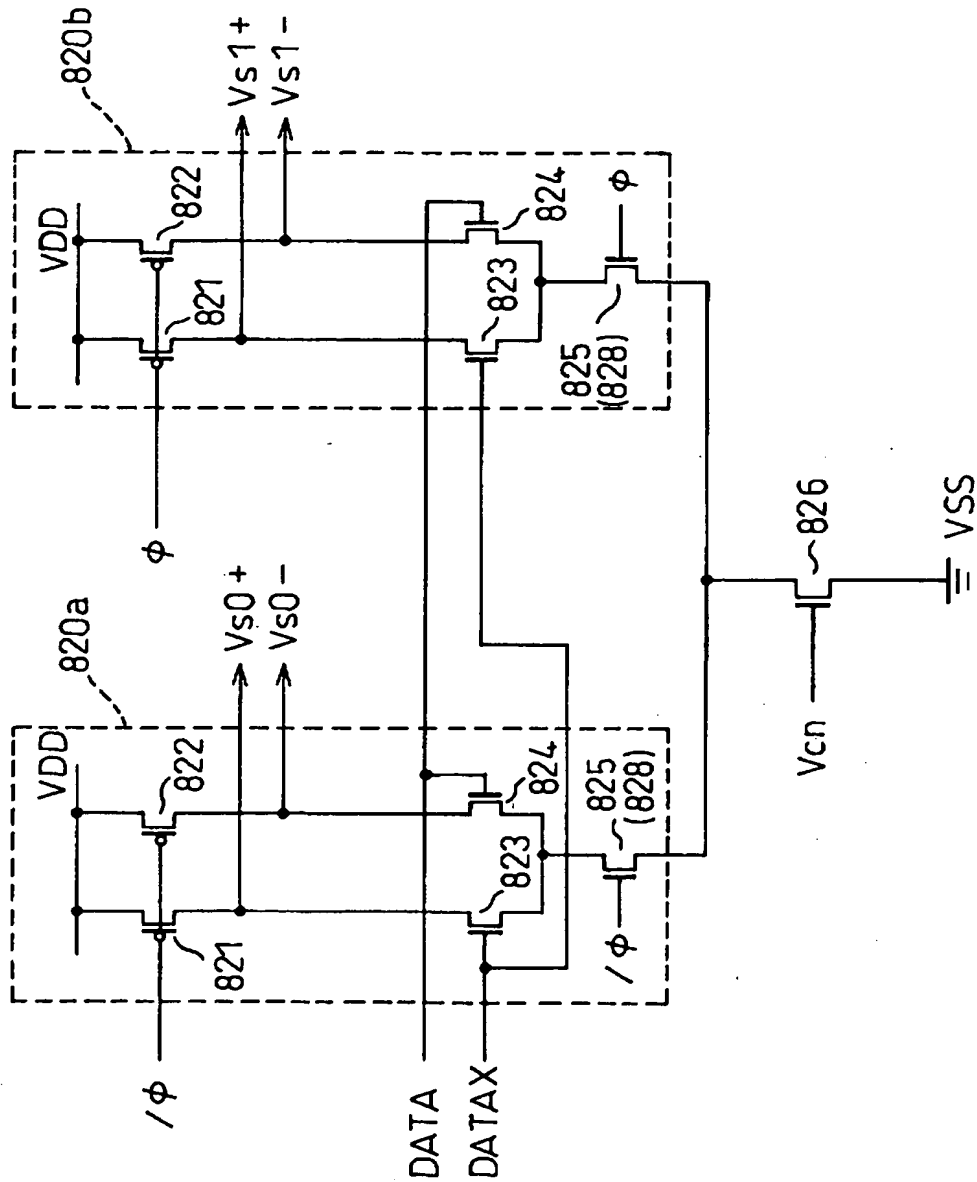
本発明のレシーバ回路の第 7 実施例を示す回路図



【図 22】

図 22

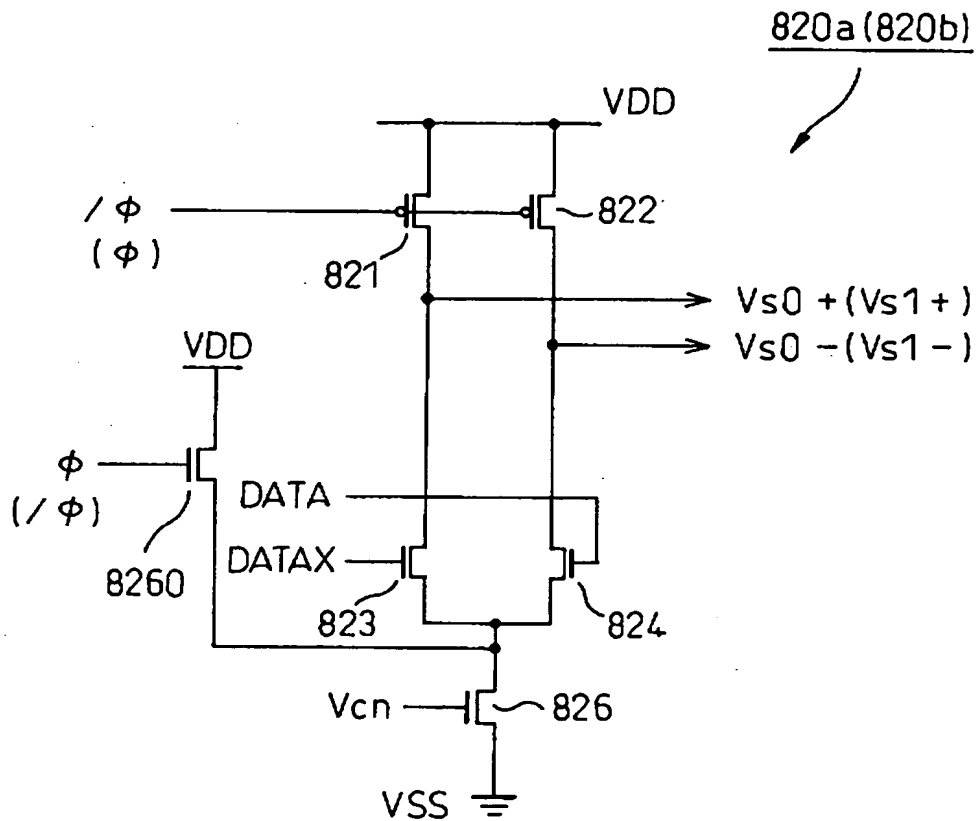
本発明のレシーバ回路の第 8 実施例を示す回路図



【図 2 4】

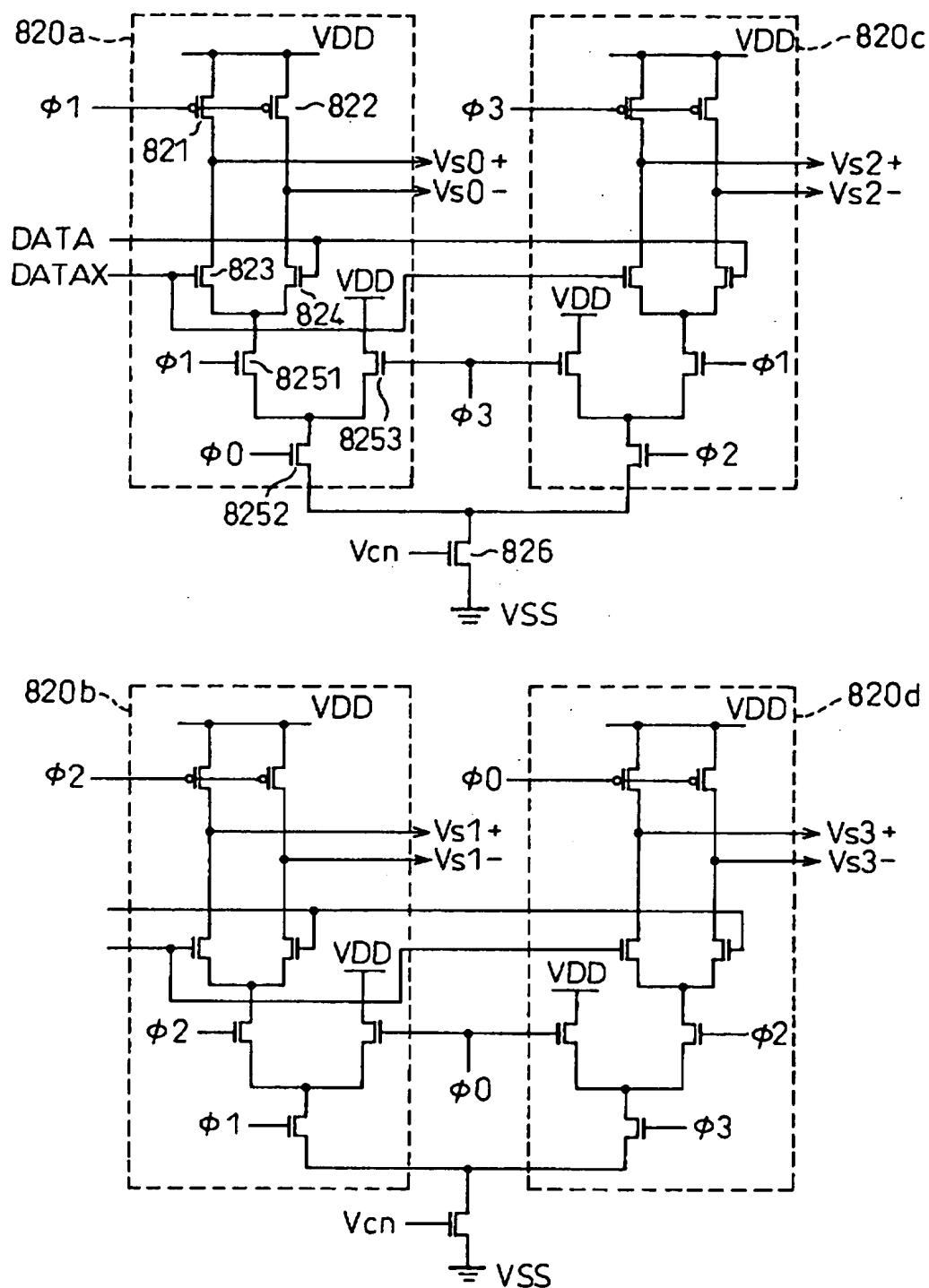
図 24

図23に示すレシーバ回路の変形例を示す回路図



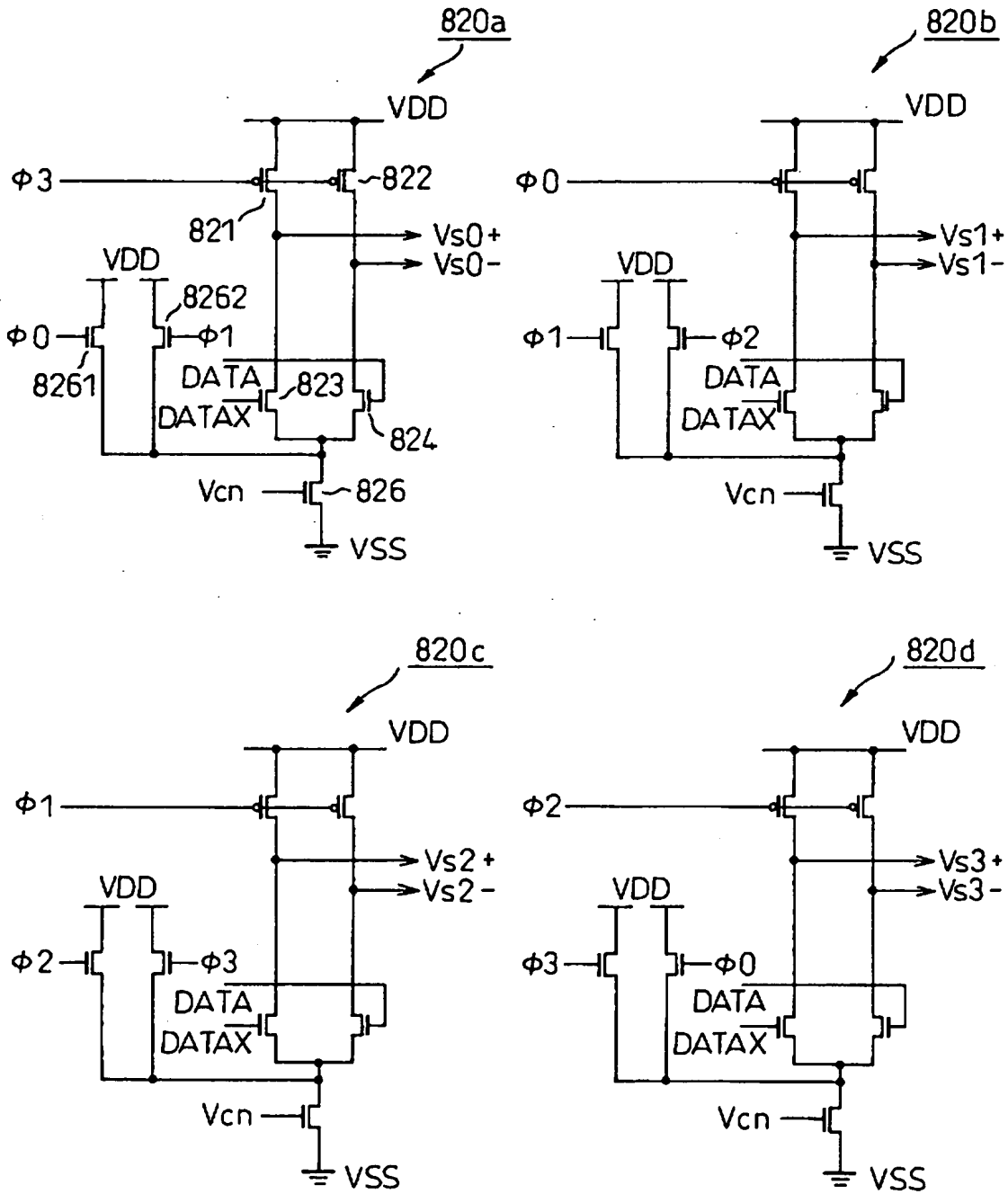
【図 2 5】

図 25 本発明のレシーバ回路の第10実施例を示す回路図



【図 2 6】

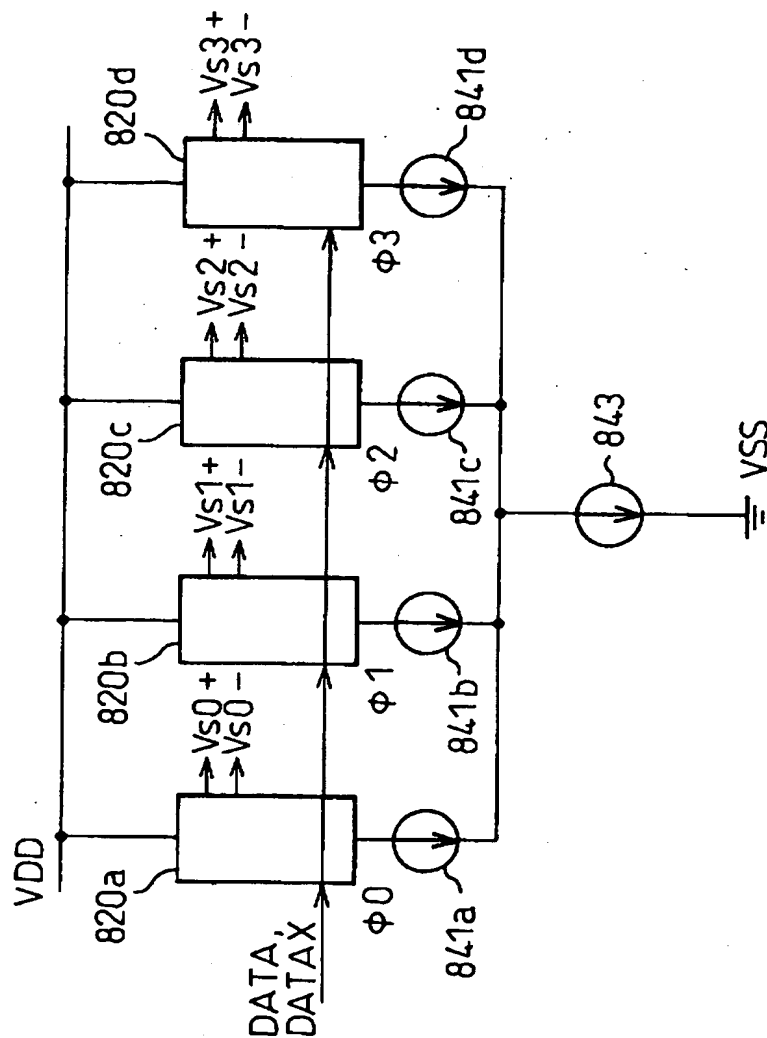
図 26 本発明のレシーバ回路の第11実施例を示す回路図



【図 2 7】

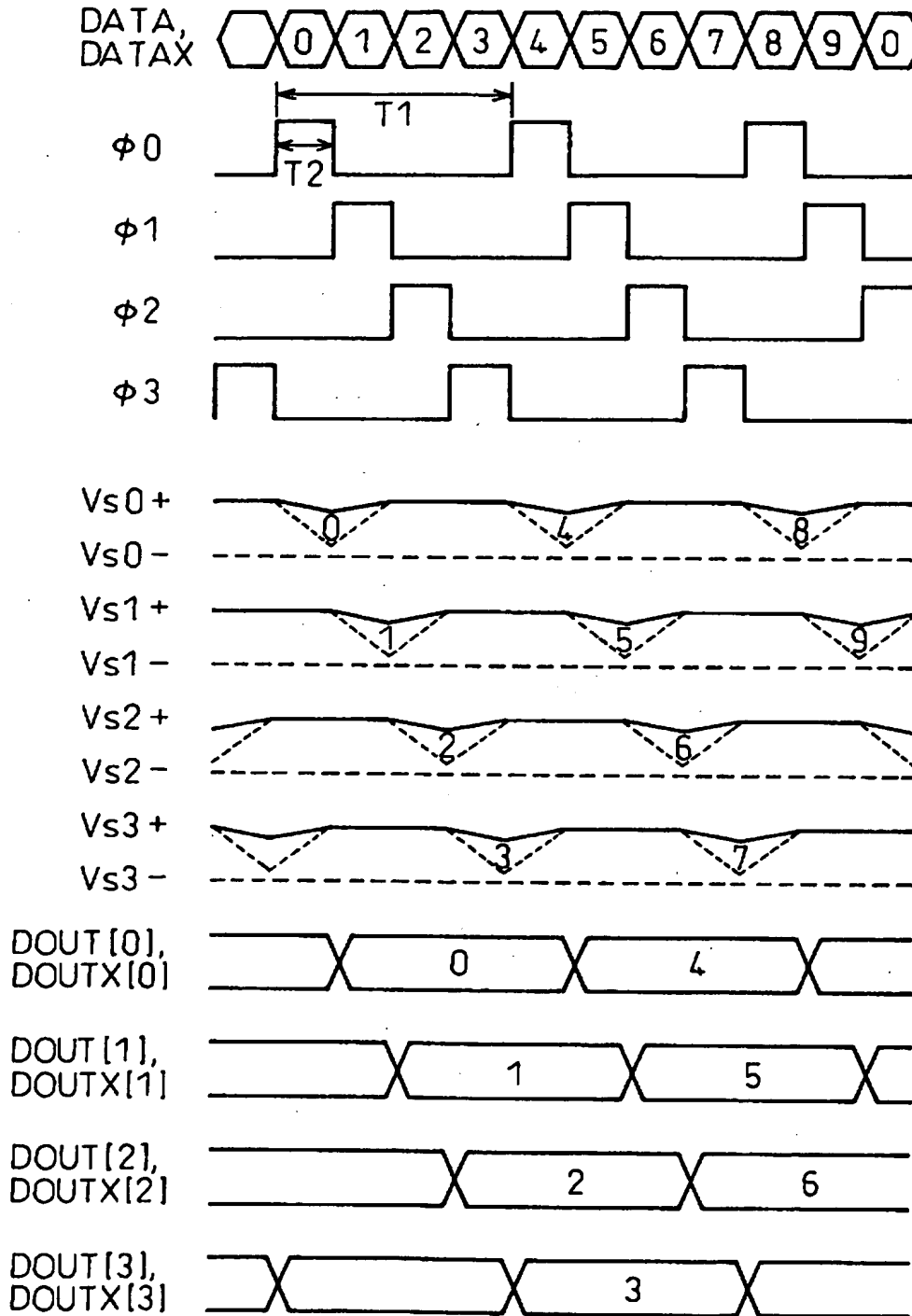
图 27

本発明のレシーバ回路の第12実施例を示すブロック図



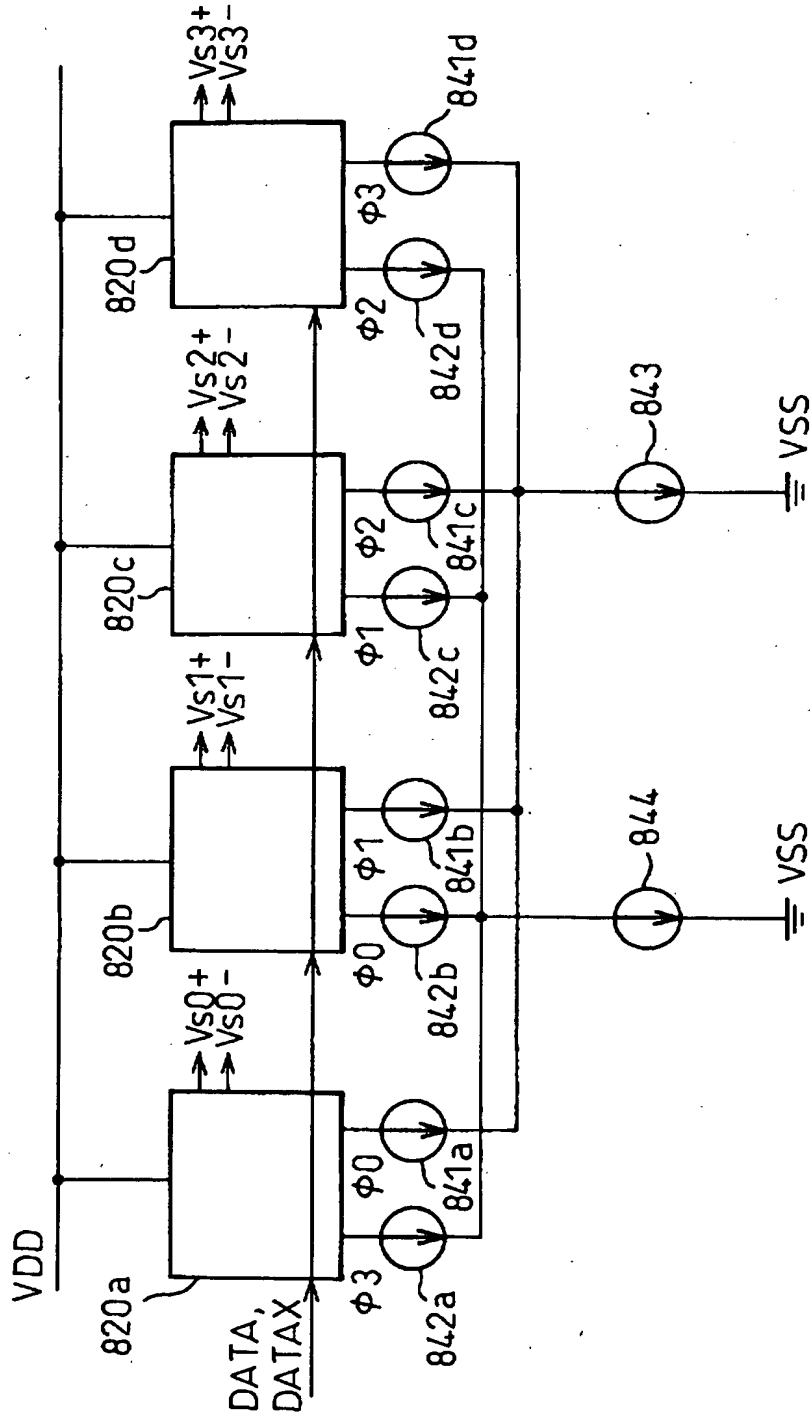
【図 2 8】

図 28 図27のレシーバ回路の動作を説明するためのタイミング図



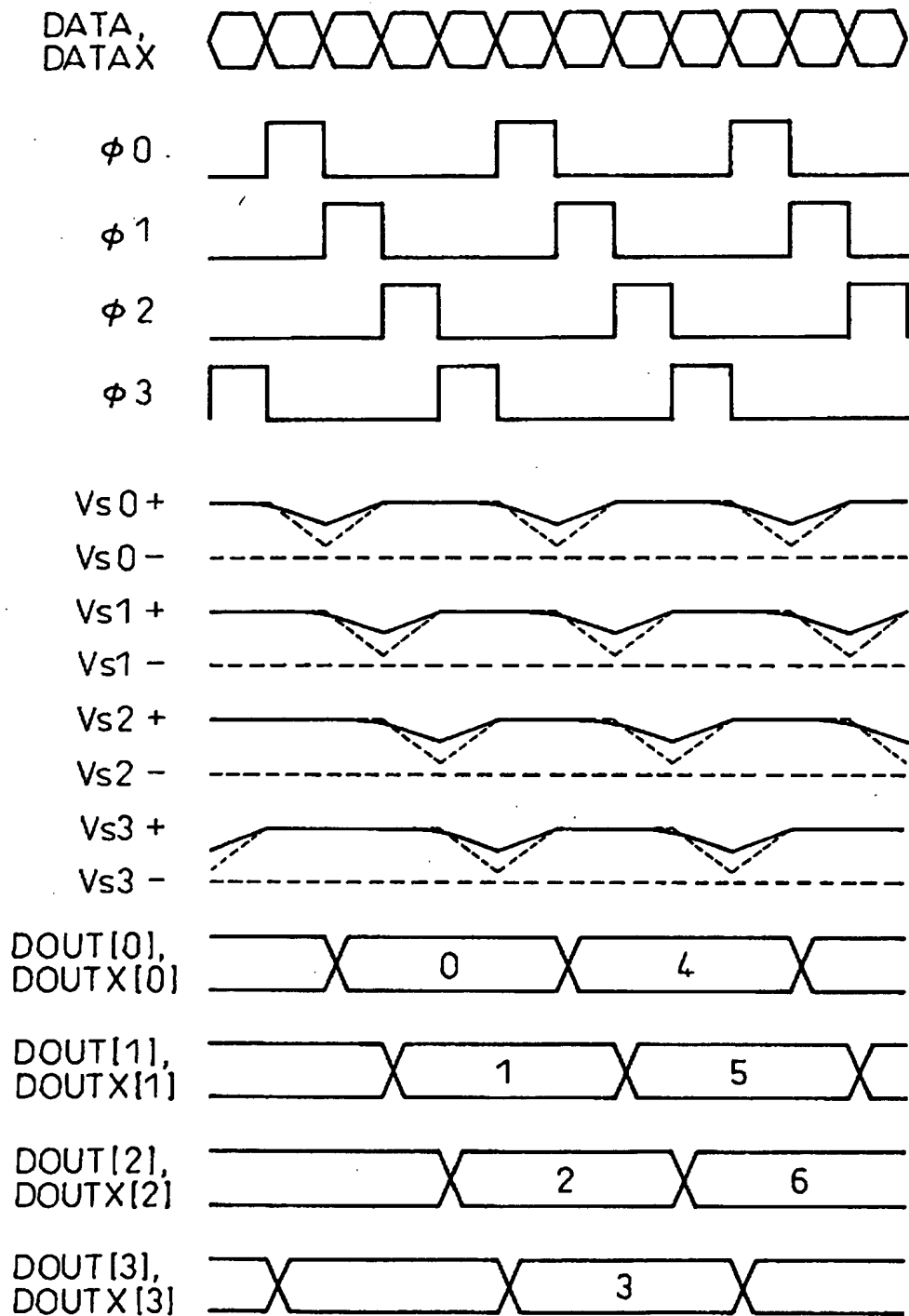
【図 2 9】

図 29 本発明のレシーバ回路の第13実施例を示すブロック図



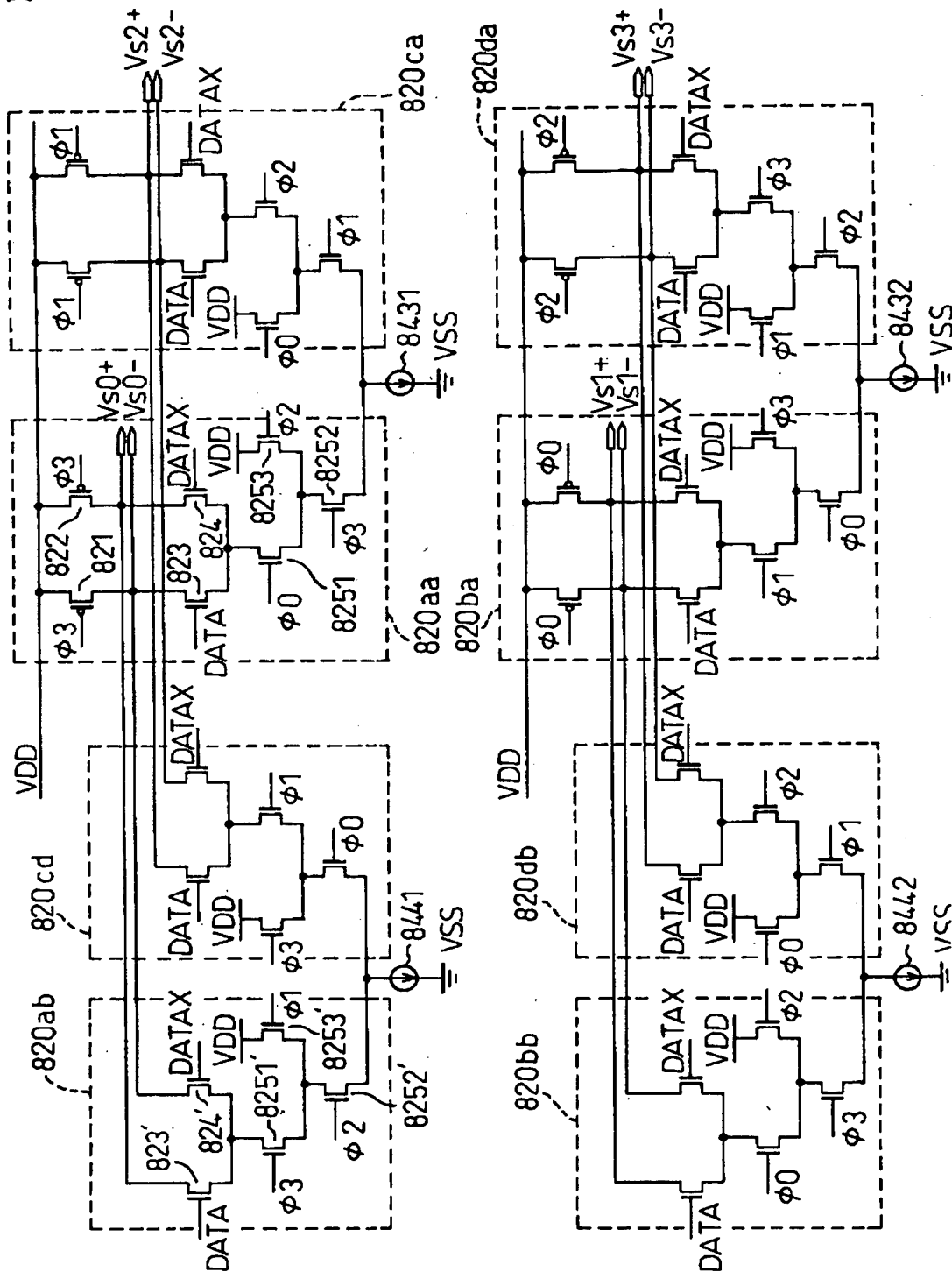
【図 3 0】

図 30 図 29 のレシーバ回路の動作を説明するためのタイミング図



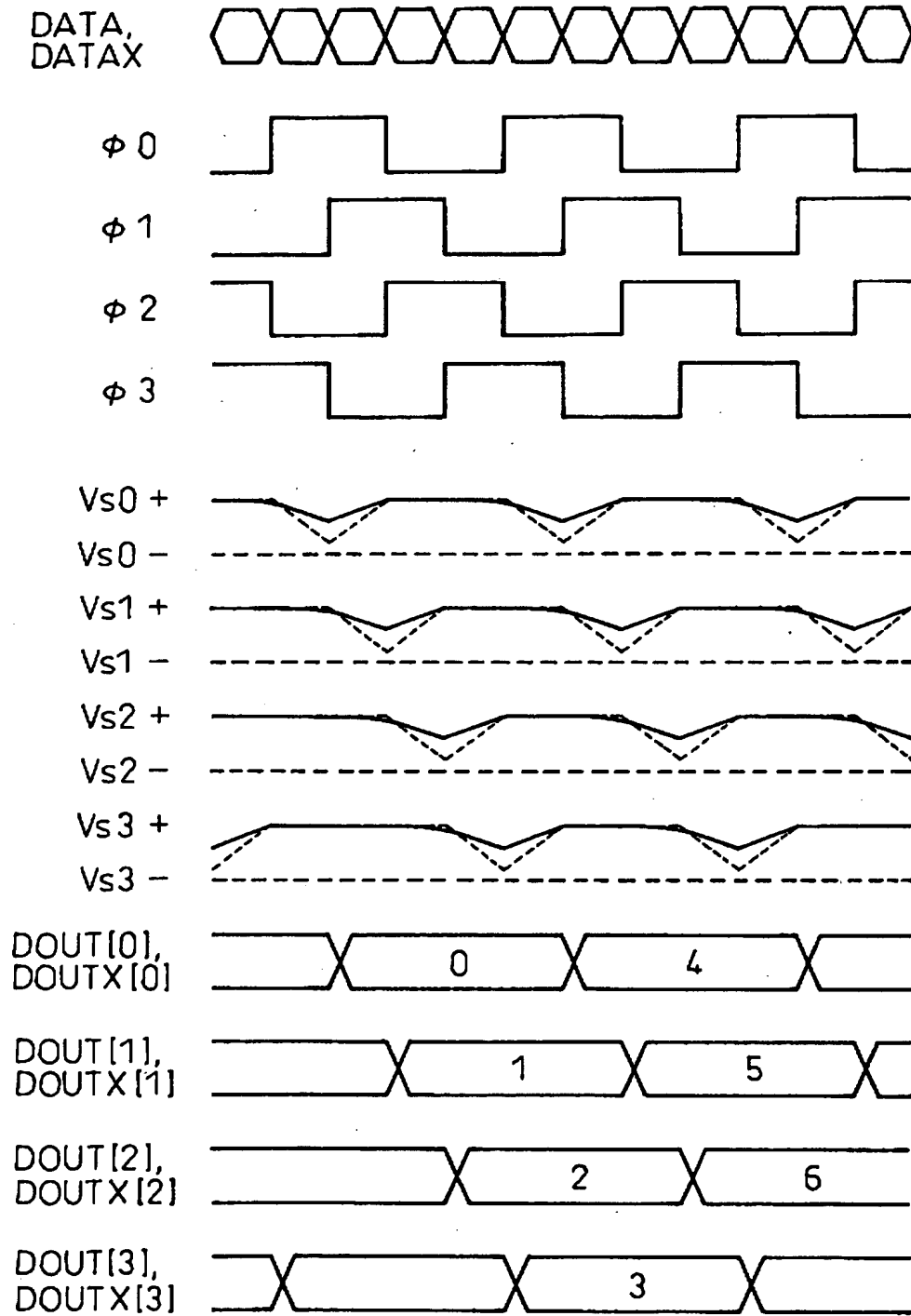
【图 3 1】

図31 本発明のレシーバ回路の第14実施例を示す回路図



【図 3 2】

図 32 図 31 のレシーバ回路の動作を説明するためのタイミング図



【書類名】 要約書

【要約】

【課題】 従来のレシーバ回路において、判定回路の入力は、判定以前の信号値に応じて電圧が大きく変動し、データの正確な判定の妨げとなっていた。

【解決手段】 入力信号DATA, DATA Xをサンプリングするサンプリング回路411, 412と、該サンプリング回路の出力をバッファするバッファ回路420と、該バッファ回路の出力の判定を行う判定回路430と、前記サンプリングを行うタイミングまで、前記バッファ回路の出力の入力信号依存性を小さくしておくバッファ制御回路440とを備えるように構成する。

【選択図】 図5

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社